Fundamentos de computadores

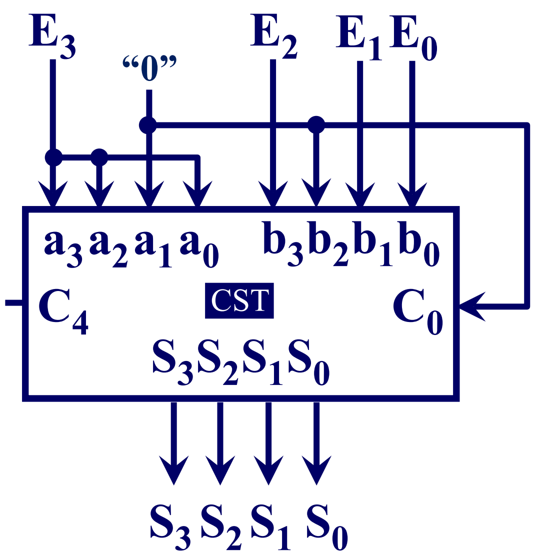
Problemas del tema 3: Circuitos combinacionales MSI

Problema 1. Sumadores. Transcodificadores

El circuito de la figura es un transcodificador cuya entrada ($E_3E_2E_1E_0$) es una señal codificada en BCD Natural y la salida ($S_3S_2S_1S_0$) es su traducción a cierto código BCD ponderado. ¿Cuál de las opciones ofrecidas indica los pesos del código de salida?

Solución:

	BCD Natural (8) (4) (2) (1)				BCD 4321 (4) (3) (2) (1)
	$E_3E_2E_1E_0$	$a_3a_2a_1a_0$	$b_3b_2b_1b_0$	C_0	$S_3\ S_2\ S_1\ S_0$
(0)	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0 0
(1)	0 0 0 1	0 0 0 0	0 0 0 1	0	0 0 0 1
(2)	0 0 1 0	0 0 0 0	0 0 1 0	0	0 0 1 0
(3)	0 0 1 1	0 0 0 0	0 0 1 1	0	0 0 1 1
(4)	0 1 0 0	0 0 0 0	1 0 0 0	0	1 0 0 0
(5)	0 1 0 1	0 0 0 0	1 0 0 1	0	1 0 0 1
(6)	0 1 1 0	0 0 0 0	1 0 1 0	0	1 0 1 0
(7)	0 1 1 1	0 0 0 0	1 0 1 1	0	1 0 1 1
(8)	1 0 0 0	1 1 0 1	0 0 0 0	0	1 1 0 1
(9)	1 0 0 1	1 1 0 1	0 0 0 1	0	1 1 1 0



~~a) "8321"~~

~~b) "5421"~~

c) "4321"

~~d) "6421"~~

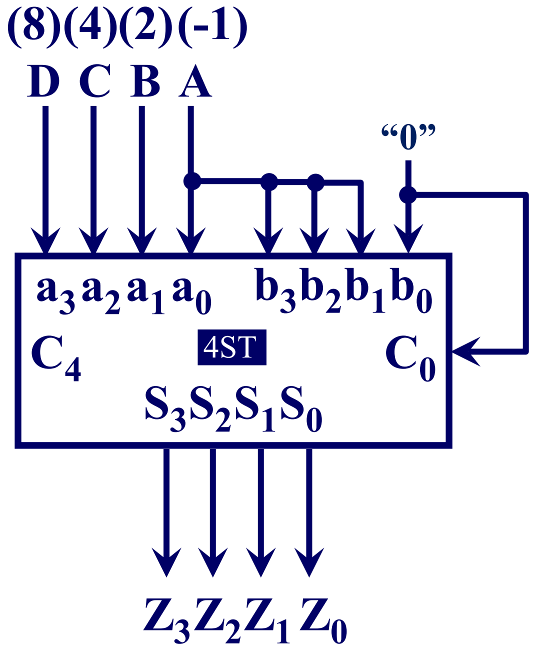
Problema 2. Sumadores. Transcodificadores

El circuito de la figura, abajo mostrado, es el diseño de un transcodificador (circuito que tomando como entrada un número escrito en un determinado código binario lo convierte a otro código binario**).**
Determinar el código de salida si por la entrada se introduce un número escrito en código BCD (8,4,2,-1).

Solución:

	(8) D	(4) C	(2) B	(-1) A	b_3	b_2	b_1	b_0	(16) C	(8) S_3	(4) S_2	(2) S_1	(1) S_0
(0)	0	0	0	0	0	0	0	0	~~0~~	0	0	0	0
(1)	0	0	1	1	1	1	1	0	~~1~~	0	0	0	1
(2)	0	0	1	0	0	0	0	0	~~0~~	0	0	1	0
(3)	0	1	0	1	1	1	1	0	~~1~~	0	0	1	1
(4)	0	1	0	0	0	0	0	0	~~0~~	0	1	0	0
(5)	0	1	1	1	1	1	1	0	~~1~~	0	1	0	1
(6)	0	1	1	0	0	0	0	0	~~0~~	0	1	1	0
(7)	1	0	0	1	1	1	1	0	~~1~~	0	1	1	1
(8)	1	0	0	0	0	0	0	0	~~0~~	1	0	0	0
(9)	1	0	1	1	1	1	1	0	~~1~~	1	0	0	1

BCD Natural



Utilizando un cuádruple sumador total, diseñar un circuito que calcule el valor de la ecuación algebraica R = 5X más 20, siendo X un número de tres bits (X_2,X_1,X_0).

Solución:

$X = X_2\ X_1\ X_0$

R = 5X más 20

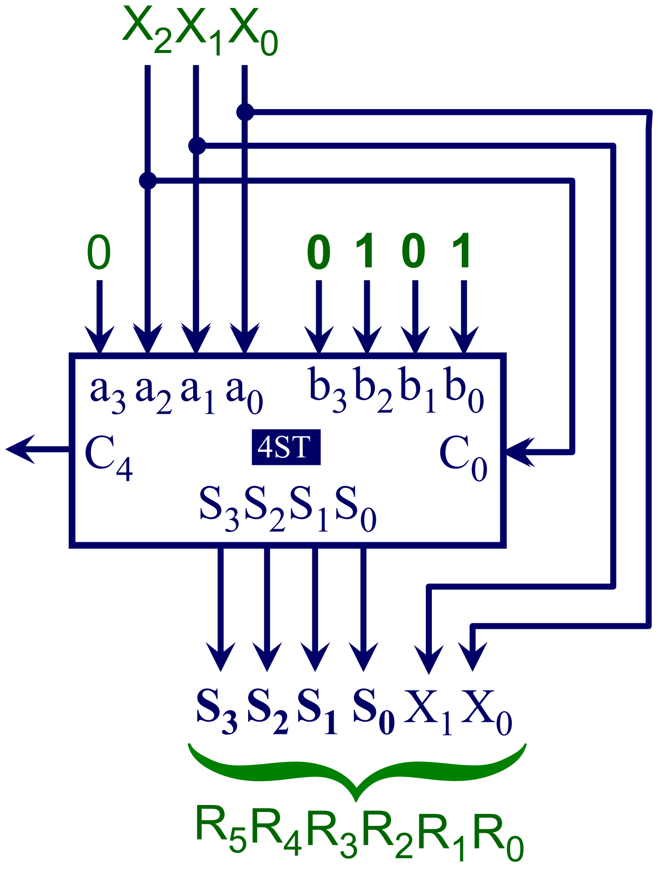
5X = 4X + X

Luego: **5X más 20**

$$
+\left\{
\begin{array}{rcccccc}
4X = & & \boxed{X_2} & \boxed{X_1} & \boxed{X_0} & 0 & 0 \\
X = & & \boxed{0} & \boxed{0} & \boxed{X_2} & X_1 & X_0 \\
20_{(10} = & & \boxed{1} & \boxed{0} & \boxed{1} & 0 & 0 \\
\hline
 & & & & & & \\
\end{array}
\right.
$$

4ST

$$\underbrace{S_3\ S_2\ S_1\ S_0\ X_1\ X_0}_{R_5\ R_4\ R_3\ R_2\ R_1\ R_0}$$



R = 5X más 20

Problema 4. Sumadores. Sumas de 1 bit

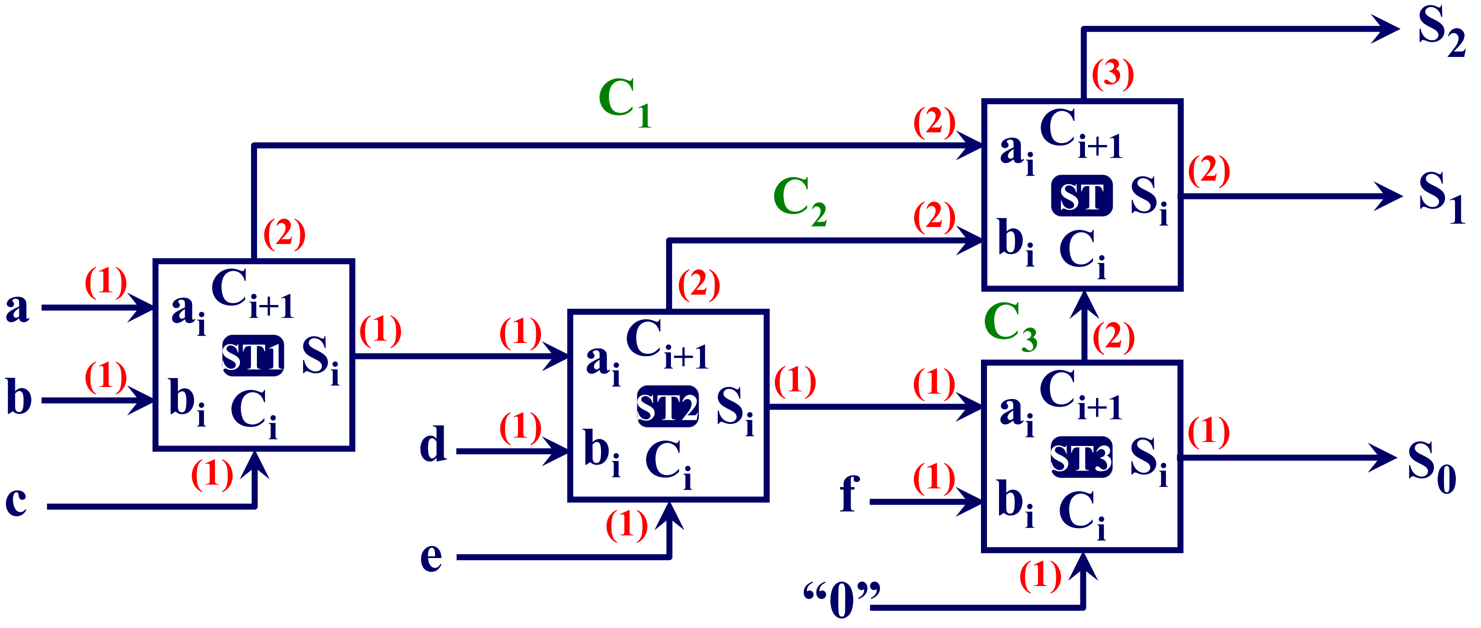
Utilizando exclusivamente sumadores totales, realizar la suma aritmética:

"a más b más c más d más e más f" (siendo a, b, c, d, e, y f números de 1 bit).

Solución:

$$S = a + b + c + d + e + f$$

$(p_i) \equiv$ pesos



(3)	(2)	(1)
		a
		b
		c
	C_1	S_{a+b+c}
		d
		e
	C_2	$S_{(a+b+c)+d+e}$
		f
		0
	C_3	$S_{(a+b+c+d+e)+f}$
	C_1	
	C_2	
S_2	S_1	S_0

Problema 5. Sumadores. Análisis de circuitos con sumadores

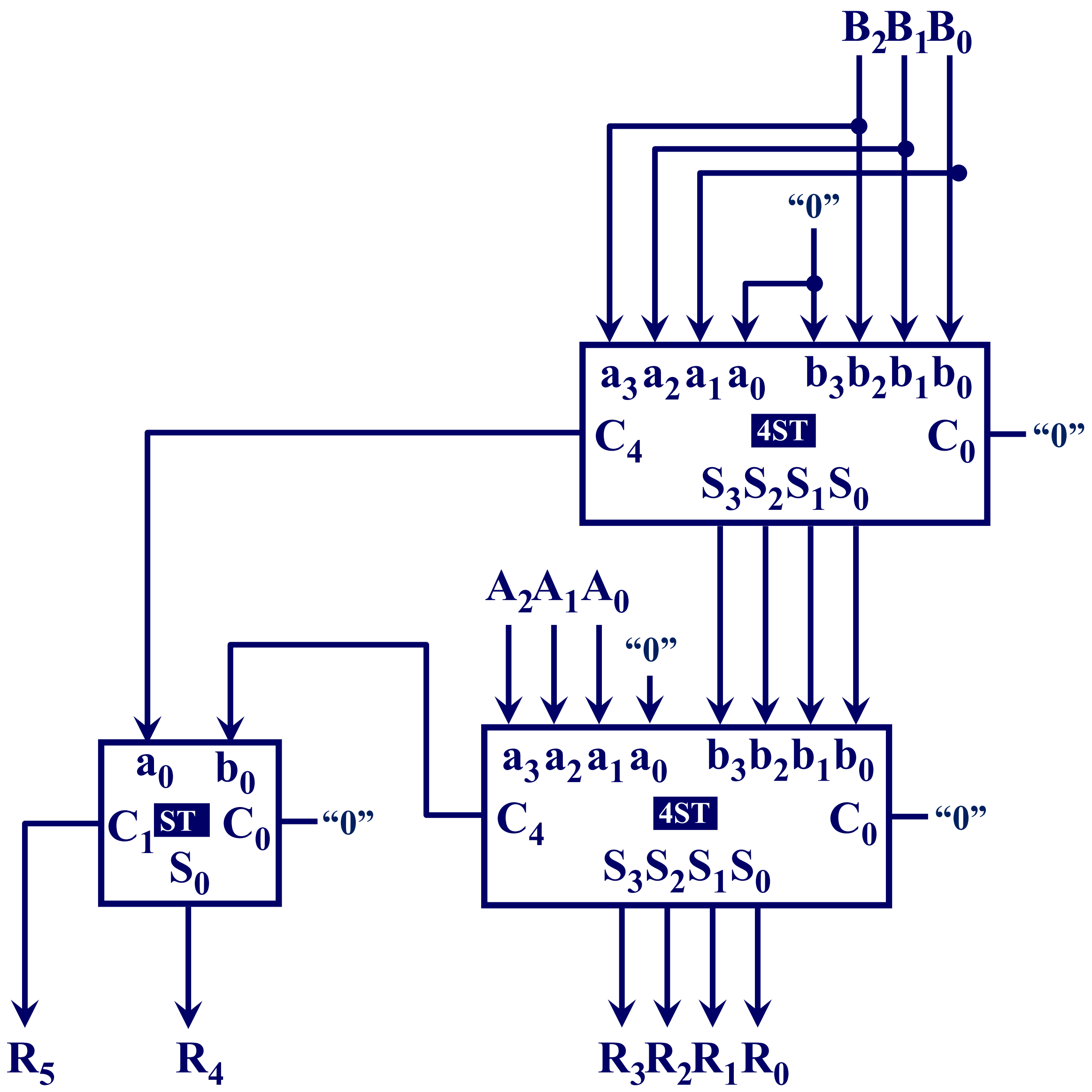
Determinar cuál de las funciones mostradas a continuación, realiza el circuito de la figura:

a) F_1 = A más 3•B

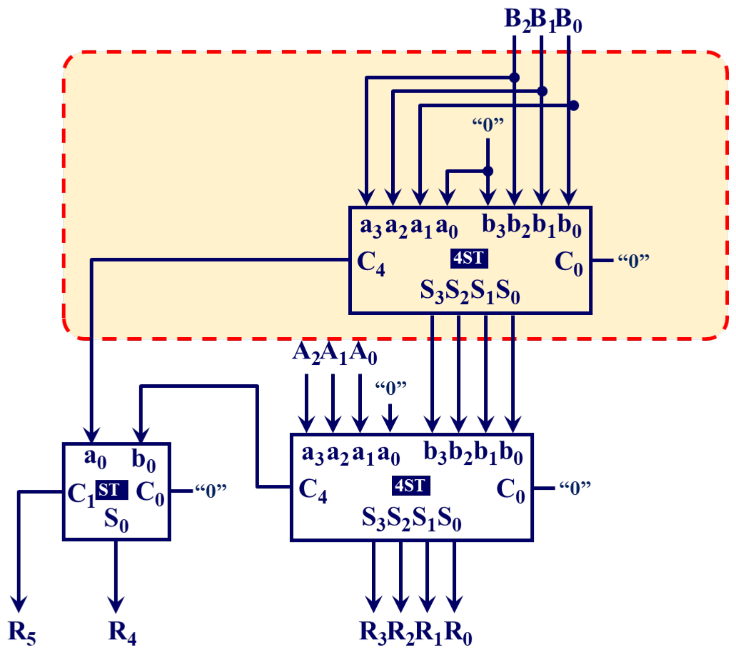
b) F_2 = 2•A más B

c) F_3 = 2•A más 2•B

d) F_4 = 2•A más 3•B

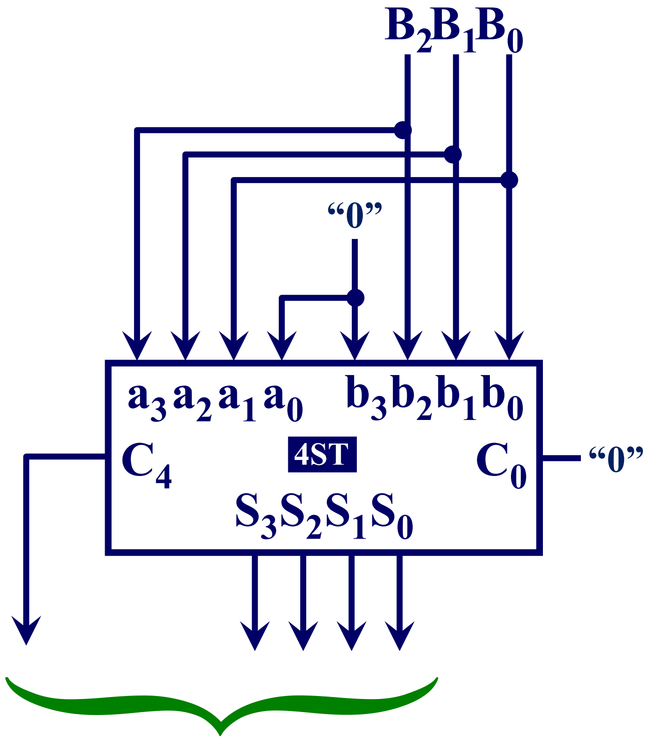


Solución: El análisis se hará en cascada, esto es, se empieza por los circuitos cuyas entradas sólo dependen del exterior y luego se analizarán aquellos circuitos cuyas entradas sean salidas de los anteriores.



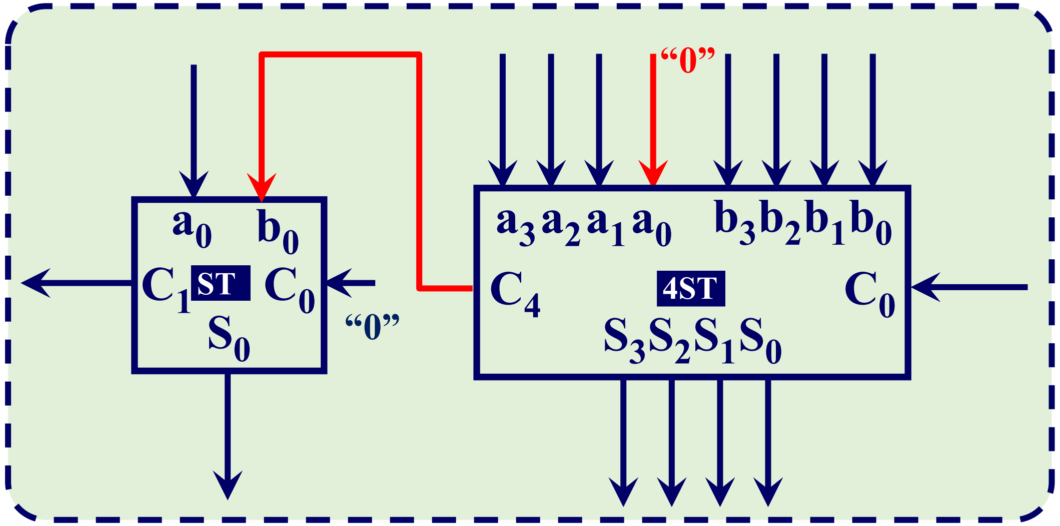
1) Análisis del primer sumador

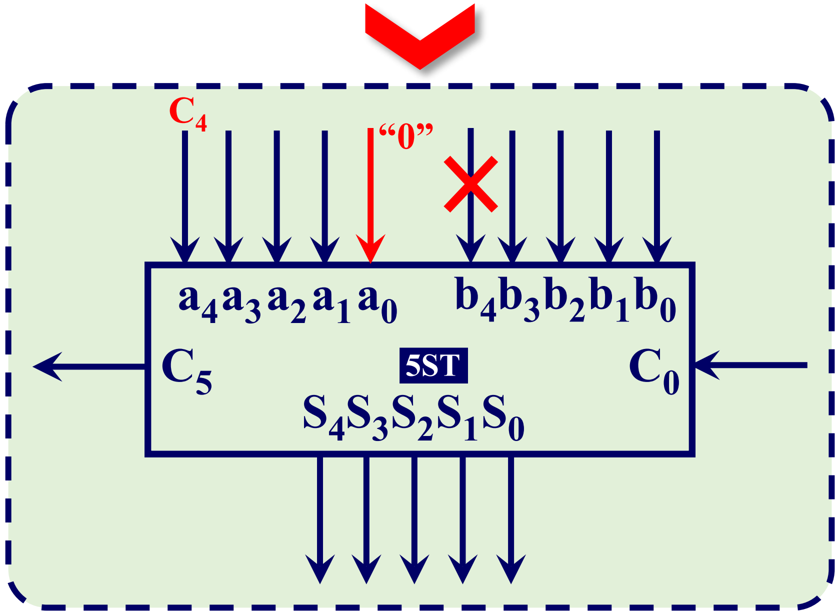
$$
\begin{array}{rccccc l}
 & & & & & 0 & \\
 & & B_2 & B_1 & B_0 & 0 & \equiv 2 \times B \\
+ & & 0 & B_2 & B_1 & B_0 & \equiv B \\
\hline
 & C_4 & S_3 & S_2 & S_1 & S_0 & \equiv 3 \times B
\end{array}
$$



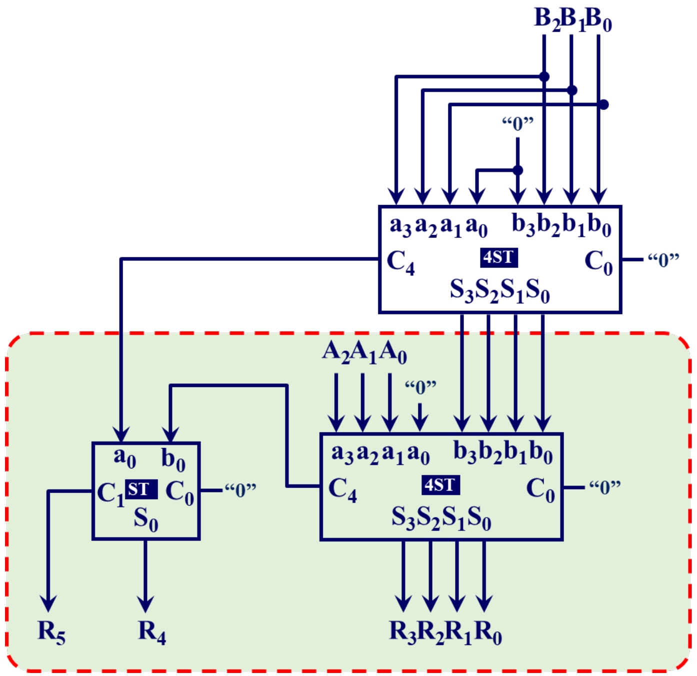
3 B

2) Análisis del segundo sumador



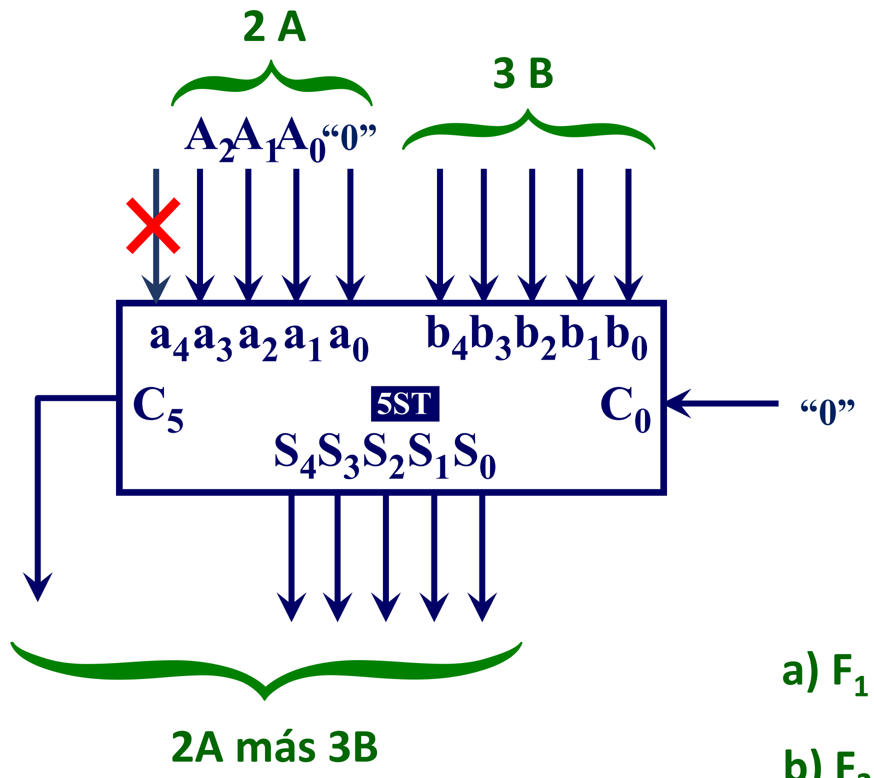


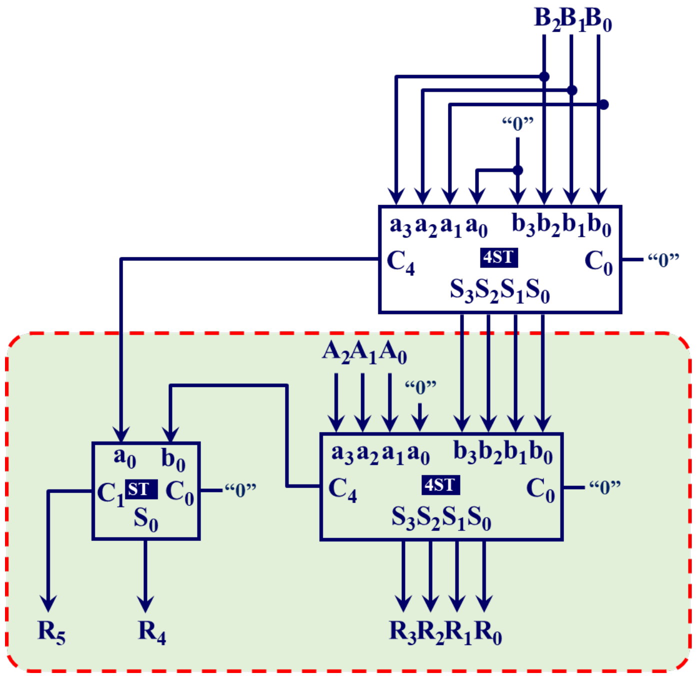
Sumador de 5 bits



Problema 5. Sumadores. Análisis de circuitos con sumadores (Cont.)

2) Análisis del segundo sumador (Cont.)





a) F_1 = A más 3•B

b) F_2 = 2•A más B

c) F_3 = 2•A más 2•B

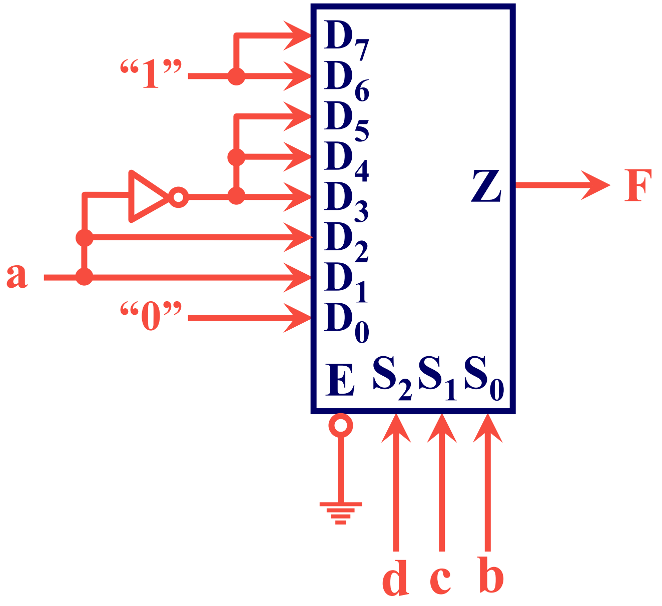
d) F_4 = 2•A más 3•B

Problema 6. Multiplexores. Implementación de funciones

Implementar mediante un MUX de 8 canales, con entrada Enable, la función:

$$F(d, c, b, a) = \sum_4 (3, 5, 6, 8, 10, 12, 13, 14, 15)$$

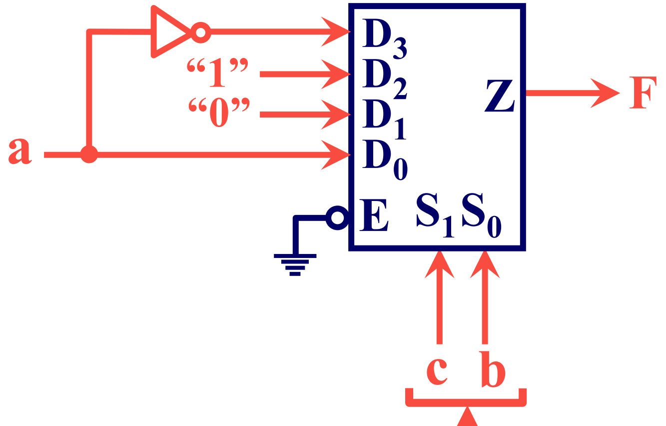
	d	c	b	a	F	
$D_0 \equiv$	0	0	0	0	0	$\Rightarrow F = D_0 =$ "0"
	0	0	0	1	0	
$D_1 \equiv$	0	0	1	0	0	$\Rightarrow F = D_1 = a$
	0	0	1	1	1	
$D_2 \equiv$	0	1	0	0	0	$\Rightarrow F = D_2 = a$
	0	1	0	1	1	
$D_3 \equiv$	0	1	1	0	1	$\Rightarrow F = D_3 = \bar{a}$
	0	1	1	1	0	
$D_4 \equiv$	1	0	0	0	1	$\Rightarrow F = D_4 = \bar{a}$
	1	0	0	1	0	
$D_5 \equiv$	1	0	1	0	1	$\Rightarrow F = D_5 = \bar{a}$
	1	0	1	1	0	
$D_6 \equiv$	1	1	0	0	1	$\Rightarrow F = D_6 =$ "1"
	1	1	0	1	1	
$D_7 \equiv$	1	1	1	0	1	$\Rightarrow F = D_7 =$ "1"
	1	1	1	1	1	



Implementar mediante un MUX de 4 canales, con entrada Enable, la función $F(c, b, a) = \sum_3(1, 4, 5, 6)$

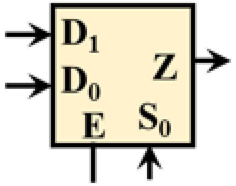
$S_1 \; S_0$

	c	b	a	F	
$D_0 \equiv$	0	0	0	0	$\Rightarrow F = D_0 = a$
	0	0	1	1	
$D_1 \equiv$	0	1	0	0	$\Rightarrow F = D_1 =$ "0"
	0	1	1	0	
$D_2 \equiv$	1	0	0	1	$\Rightarrow F = D_2 =$ "1"
	1	0	1	1	
$D_3 \equiv$	1	1	0	1	$\Rightarrow F = D_3 = \bar{a}$
	1	1	1	0	



Problema 7. Multiplexores. Implementación de funciones

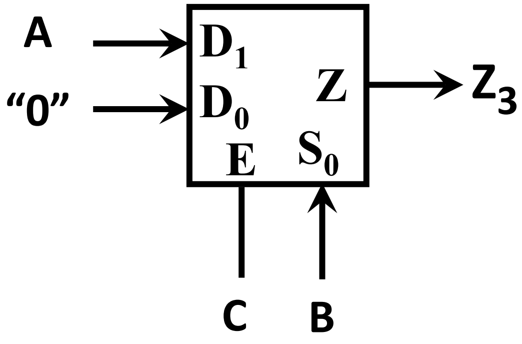
Implementar mediante MUXes como el de la figura, las siguientes funciones:

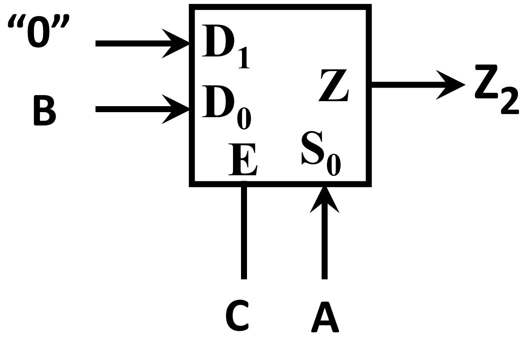


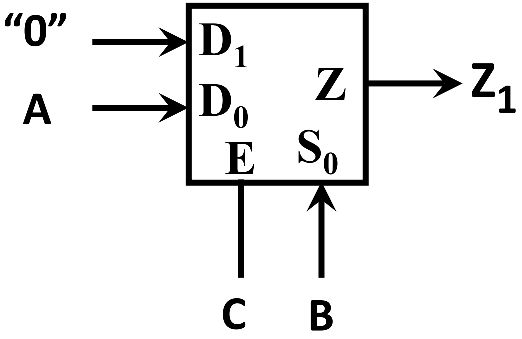
$Z_3 = C\,B\,A$ $\quad Z_2 = C\,B\,\overline{A}$ $\quad Z_0 = C\,\overline{B}\,\overline{A}$ $\quad Z_1 = C\,\overline{B}\,A$

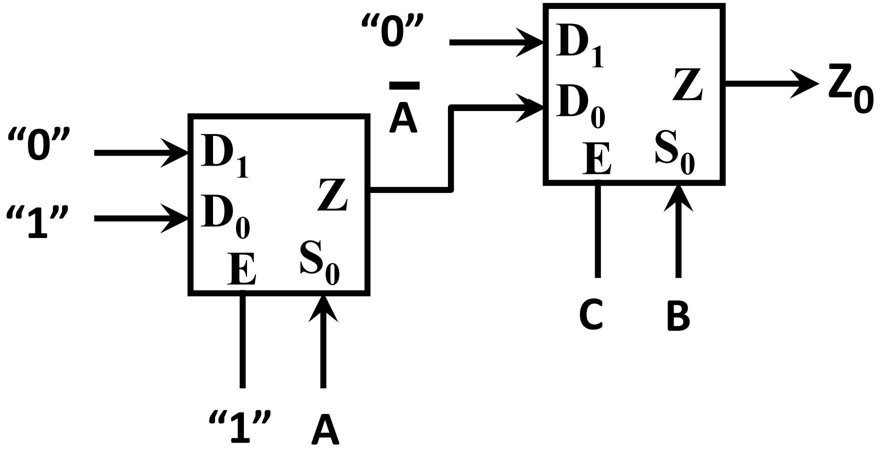
$$\left.\begin{aligned} Z_3 &= \boxed{C}\,B\,A \\ Z_2 &= \boxed{C}\,B\,\overline{A} \\ Z_1 &= \boxed{C}\,\overline{B}\,A \\ Z_0 &= \boxed{C}\,\overline{B}\,\overline{A} \end{aligned}\right\}$$

“Enable”



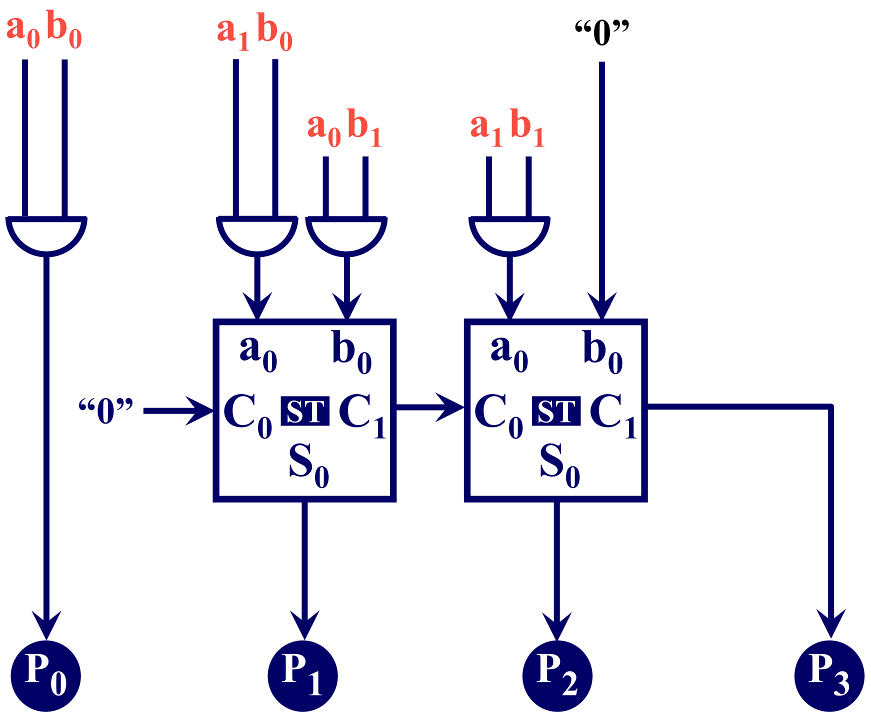






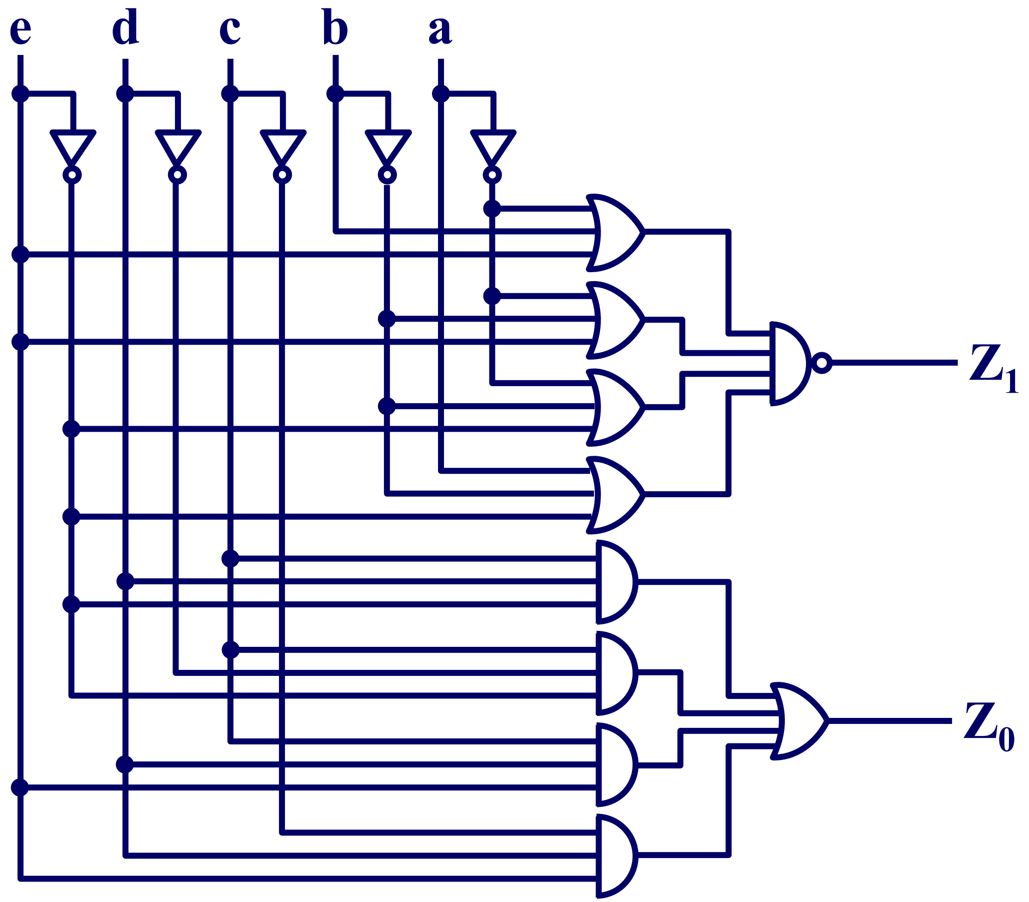
Diseñar un multiplicador de números de 2 bits con sumadores totales de 1 bit.

Solución:



$$
\begin{array}{ccccc}
 & & \times & a_1 & a_{0(2} \\
 & & & b_1 & b_{0(2} \\
\hline
+ & & 0 & a_1 b_0 & a_0 b_0 \\
 & & a_1 b_1 & a_0 b_1 & 0 \\
\hline
 & P_3 & P_2 & P_1 & P_0
\end{array}
$$

Para el circuito de la figura, obtenga las expresiones algebraicas simplificadas de las variables de salida, Z_1 y Z_0, como suma de productos.



¿A qué circuito combinacional corresponden dichas ecuaciones?. Represente su bloque funcional identificando claramente sus variables de entrada y salida.

Solución:

$$Z_1 = \overline{(\bar{e}+\underset{4}{\bar{b}}+a)(\bar{e}+\underset{3}{\bar{b}}+\bar{a})(e+\underset{2}{\bar{b}}+\bar{a})(e+\underset{1}{b}+\bar{a})} =$$

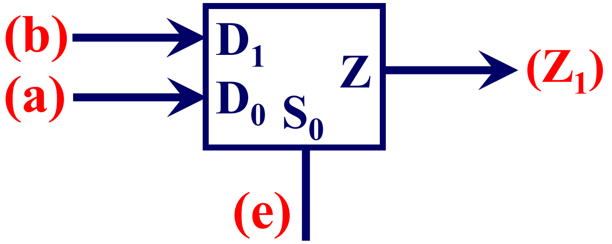
$$= \overline{(\bar{e}+\bar{b}+a)} + \overline{(\bar{e}+\bar{b}+\bar{a})} + \overline{(e+\bar{b}+\bar{a})} + \overline{(e+b+\bar{a})} =$$

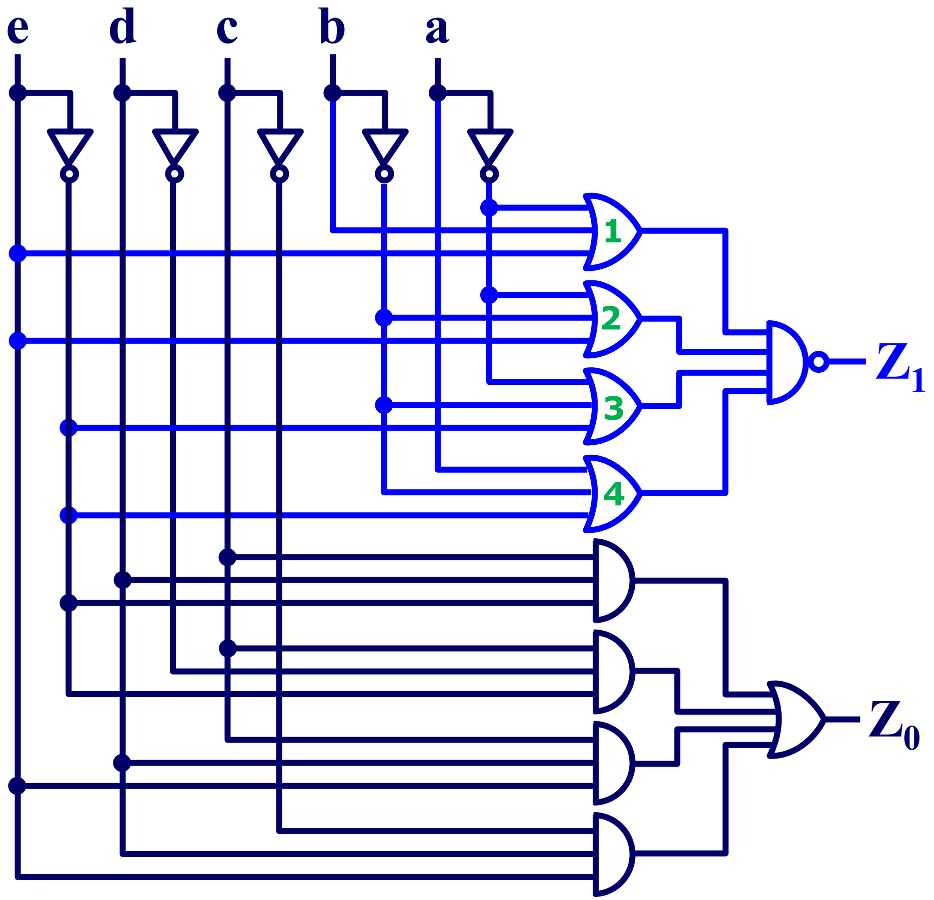
$$= e\,b\,\bar{a} + e\,b\,a + \bar{e}\,b\,a + \bar{e}\,\bar{b}\,a = \underline{\underline{e\,b + \bar{e}\,a}}$$

$eb\,(\bar{a}+a) = eb$ $\quad$ $\bar{e}a\,(\bar{b}+b) = \bar{e}a$

MUX

de 2 canales





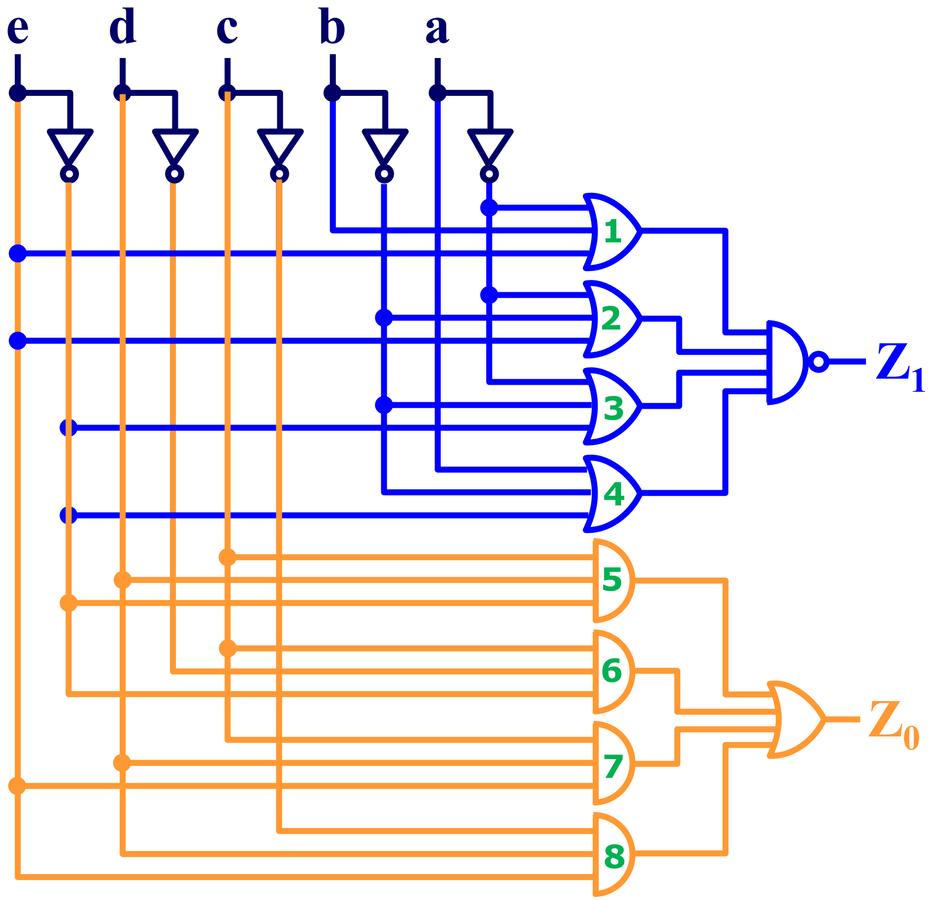
Solución:

$$Z_0 = \overset{8}{e\,d\,\bar{c}} + \overset{7}{e\,d\,c} + \overset{6}{\bar{e}\,\bar{d}\,c} + \overset{5}{\bar{e}\,d\,c} = \underline{\underline{e\,d + \bar{e}\,c}}$$

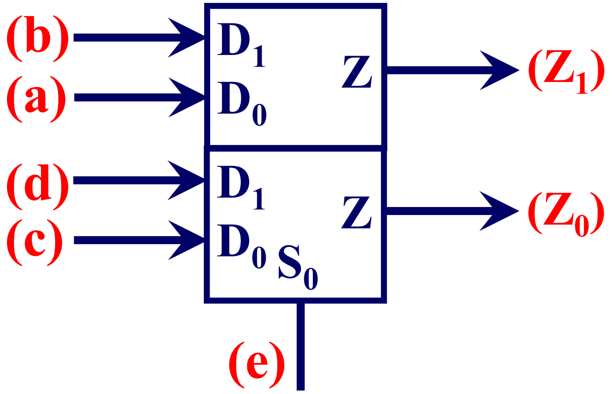
$ed(\bar{c}+c) = ed$ $\qquad$ $\bar{e}c(\bar{d}+d) = \bar{e}c$

“1” $\qquad$ “1”

MUX de 2 canales



El circuito combinacional es un doble MUX de 2 canales.



Problema 10. Multiplexores. Implementar una función

Implementar la función $F = C \oplus B \oplus A$ utilizando multiplexores de dos canales C0 y C1 dotados de entrada de validación, E, activa a nivel bajo y puertas lógicas.

Solución:

Primero, se muestra la ecuación de funcionamiento de un multiplexor de dos canales, con entrada de validación E activa a nivel bajo y las habituales entrada de selección S:

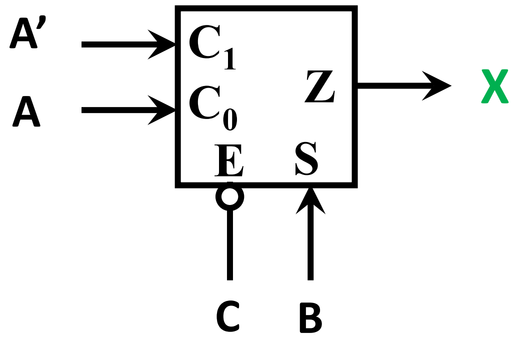
$$Z = E'(S'C_0 + S\,C_1)$$

Para resolver el problema se comparará la ecuación del multiplexor con las ecuación a implementar para identificar los valores de S, C0, C1 y E. Para ello se desarrolla la función a implementar:

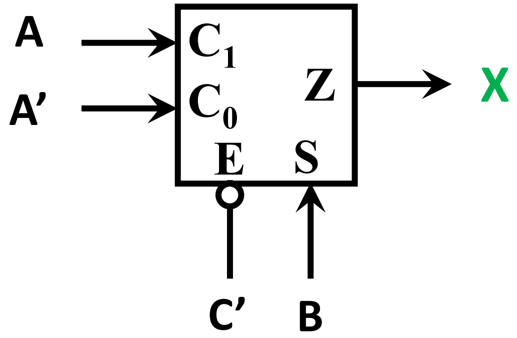
$$F = C \oplus B \oplus A = C'(B \oplus A) + C(B \oplus A)' = \underbrace{C'(B'A + BA')}_{\text{Mux X}} + \underbrace{C(B'A' + BA)}_{\text{Mux Y}} = X + Y$$

<u>Solución</u>:

$$\left.\begin{array}{l} Z = E'(S'C_0+S\,C_1) \\ X = C'(\,B'A+BA') \end{array}\right\} \quad E= C;\ S=B;\ C_0=A;\ C_1=A' \quad \Rightarrow$$

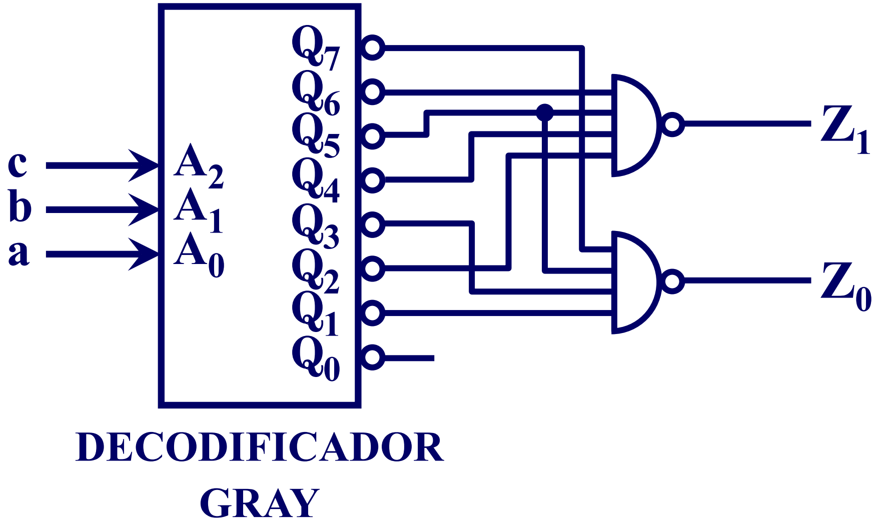


$$\left.\begin{array}{l} Z = E'(S'C_0+S\,C_1) \\ Y= C\ (B'A'+BA) \end{array}\right\} \quad E= C';\ S=B;\ C_0=A';\ C_1=A \quad \Rightarrow$$

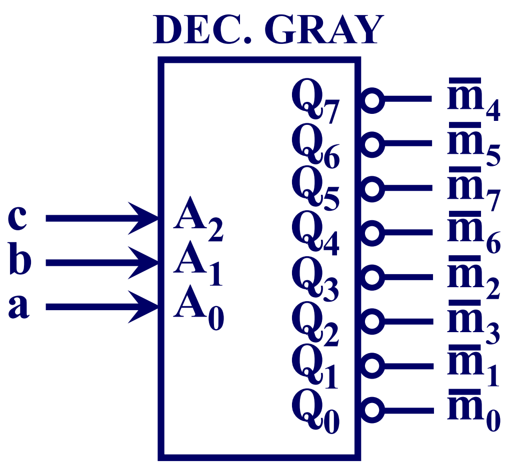


Problema 11. Decodificadores. Transcodificación

El circuito combinacional MSI de la figura es un transcodificador de GRAY a decimal. En el mismo se considera que "c" y "Z1" las variables más significativas. Obtener las expresiones de las variables de salida en su forma canónica numérica, así como la tabla de verdad del circuito. Represente su bloque funcional e identifique de forma clara todas sus entradas y salidas.



Solución:



c	b	a	Z_1	Z_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

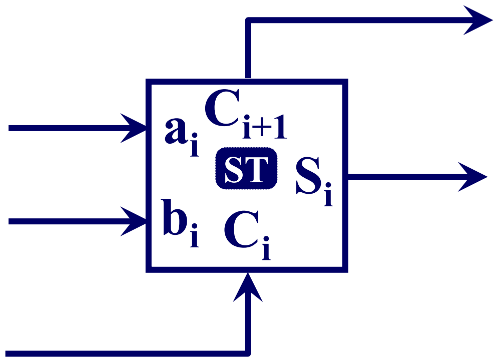
$$Z_1 = \overline{Q_2 \cdot Q_4 \cdot Q_5 \cdot Q_6} = \overline{\overline{m}_3 \cdot \overline{m}_6 \cdot \overline{m}_7 \cdot \overline{m}_5} =$$

$$= m_3 + m_6 + m_7 + m_5 = \sum_3 (3, 5, 6, 7)$$

$$Z_0 = \overline{Q_1 \cdot Q_3 \cdot Q_5 \cdot Q_7} = \overline{\overline{m}_1 \cdot \overline{m}_2 \cdot \overline{m}_7 \cdot \overline{m}_4} =$$

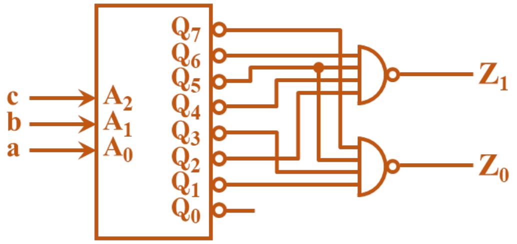
$$= m_1 + m_2 + m_4 + m_7 = \sum_3 (1, 2, 4, 7)$$

Que corresponde a la tabla de verdad de un Sumador Total.



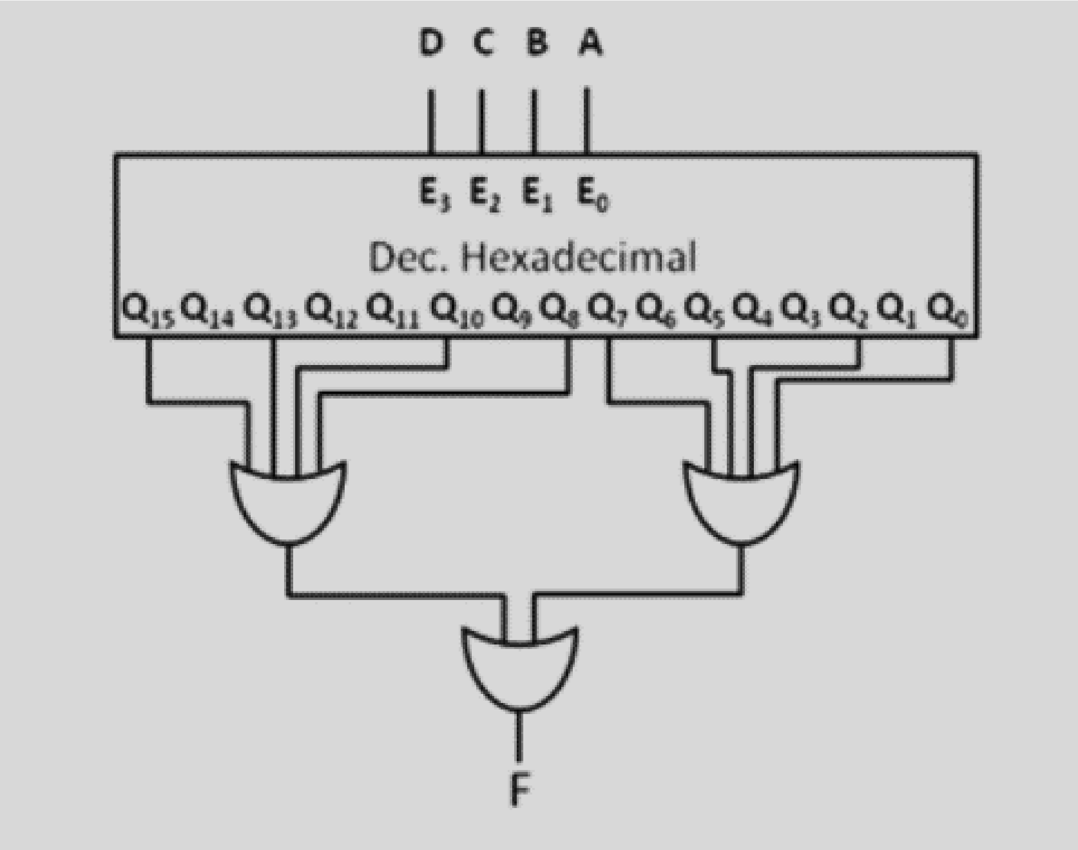
Gray

0	0	0	0
1	0	0	1
2	0	1	1
3	0	1	0
4	1	1	0
5	1	1	1
6	1	0	1
7	1	0	0



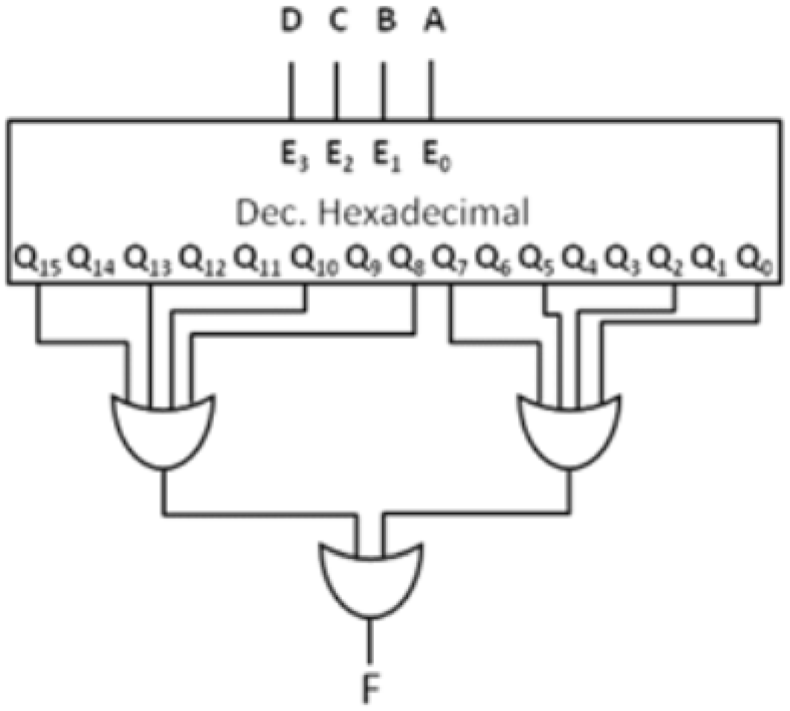
Problema 13. Decodificadores. Descubrir la función booleana implementada

Analizar el circuito de la figura, obteniendo su ecuación más simplificada.



<u>Solución</u>:

La ecuación de salida del circuito es:



$$F= (Q_{15}+Q_{13}+Q_{10}+Q_8)+(Q_7+Q_5+Q_2+Q_0)$$

$$= \sum_4 (0, 2, 5, 7, 8\ 10, 13, 15)$$

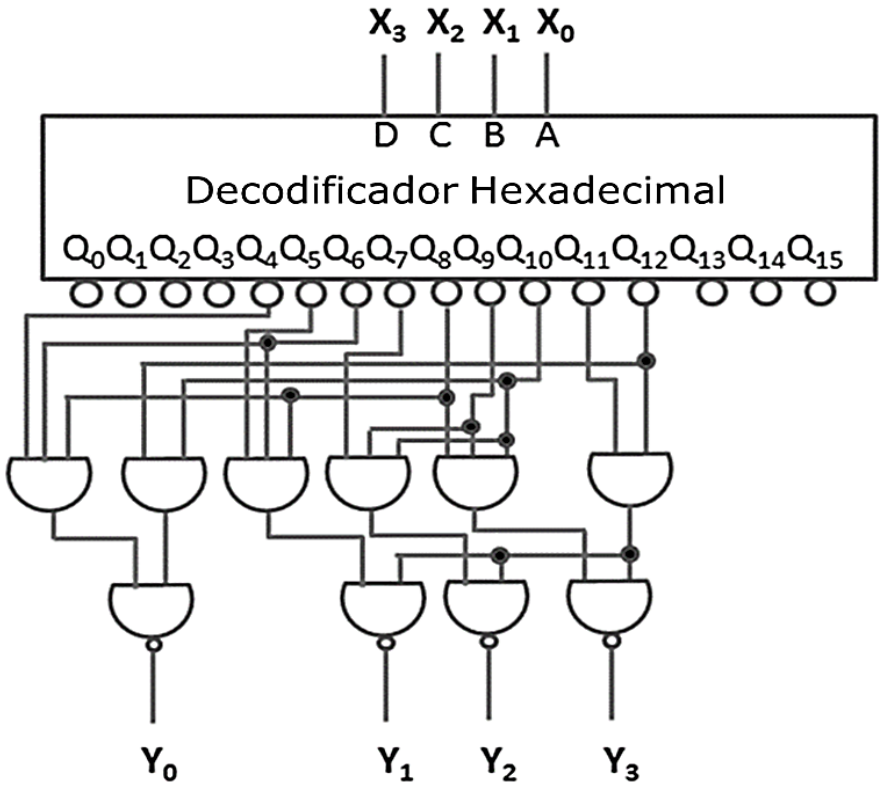
DC \ BA	00	01	11	10
00	1 (0)	(1)	(3)	1 (2)
01	(4)	1 (5)	1 (7)	(6)
11	(12)	1 (13)	1 (15)	(14)
10	1 (8)	(9)	(11)	1 (10)

$= \bar{C}\,\bar{A}$

$= CA$

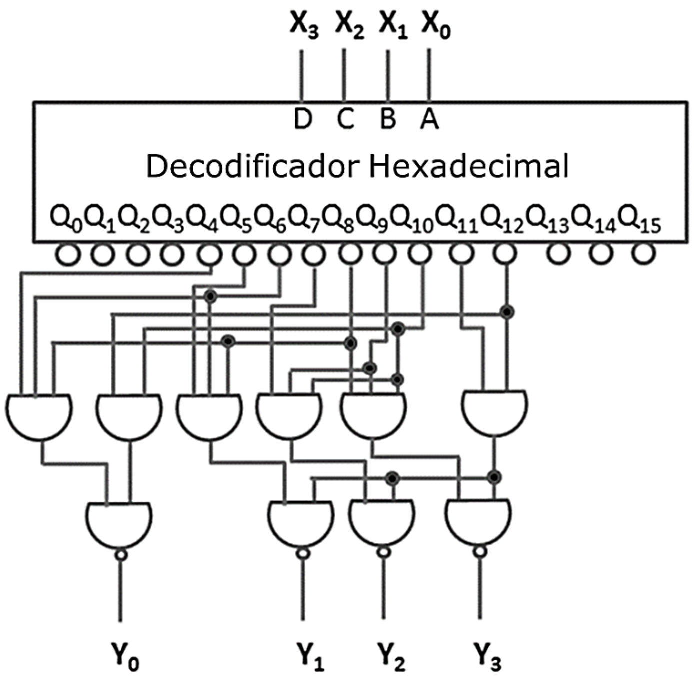
$$F= CA+C'A'=\overline{C \oplus A}$$

Si en la entrada ($X_3X_2X_1X_0$) del siguiente circuito se introduce un código <u>BCD exceso 3</u>, determinar qué código se obtiene en su salida ($Y_3Y_2Y_1Y_0$).



Solución:

Recuérdese que en la salida Q_i de un decodificador obtenemos la expresión algebraica del Minterm m_i: $Qi = \overline{m_i}$



$$Y_0 = \overline{Q_4\,Q_6\,Q_8\,Q_{10}\,Q_{12}} = \overline{\overline{m_4}\cdot\overline{m_6}\cdot\overline{m_8}\cdot\overline{m_{10}}\cdot\overline{m_{12}}}$$

$$Y_1 = \overline{Q_5\,Q_6\,Q_8\,Q_{11}\,Q_{12}} = \overline{\overline{m_5}\cdot\overline{m_6}\cdot\overline{m_8}\cdot\overline{m_{11}}\cdot\overline{m_{12}}}$$

$$Y_2 = \overline{Q_7\,Q_9\,Q_{10}\,Q_{11}\,Q_{12}} = \overline{\overline{m_7}\cdot\overline{m_9}\cdot\overline{m_{10}}\cdot\overline{m_{11}}\cdot\overline{m_{12}}}$$

$$Y_3 = \overline{Q_8\,Q_9\,Q_{10}\,Q_{11}\,Q_{12}} = \overline{\overline{m_8}\cdot\overline{m_9}\cdot\overline{m_{10}}\cdot\overline{m_{11}}\cdot\overline{m_{12}}}$$

$$Y_0 = m_4 + m_6 + m_8 + m_{10} + m_{12} = \sum_4 (4, 6, 8, 10, 12)$$

$$Y_1 = m_5 + m_6 + m_8 + m_{11} + m_{12} = \sum_4 (5, 6, 8, 11, 12)$$

$$Y_2 = m_7 + m_9 + m_{10} + m_{11} + m_{12} = \sum_4 (7, 9, 10, 11, 12)$$

$$Y_3 = m_8 + m_9 + m_{10} + m_{11} + m_{12} = \sum_4 (8, 9, 10, 11, 12)$$

Problema 14. Decodificadores. Transcodificación (Cont.)

Solución:

$$Y_3 = \sum_4 (8, 9, 10, 11, 12)$$

$$Y_2 = \sum_4 (7, 9, 10, 11, 12)$$

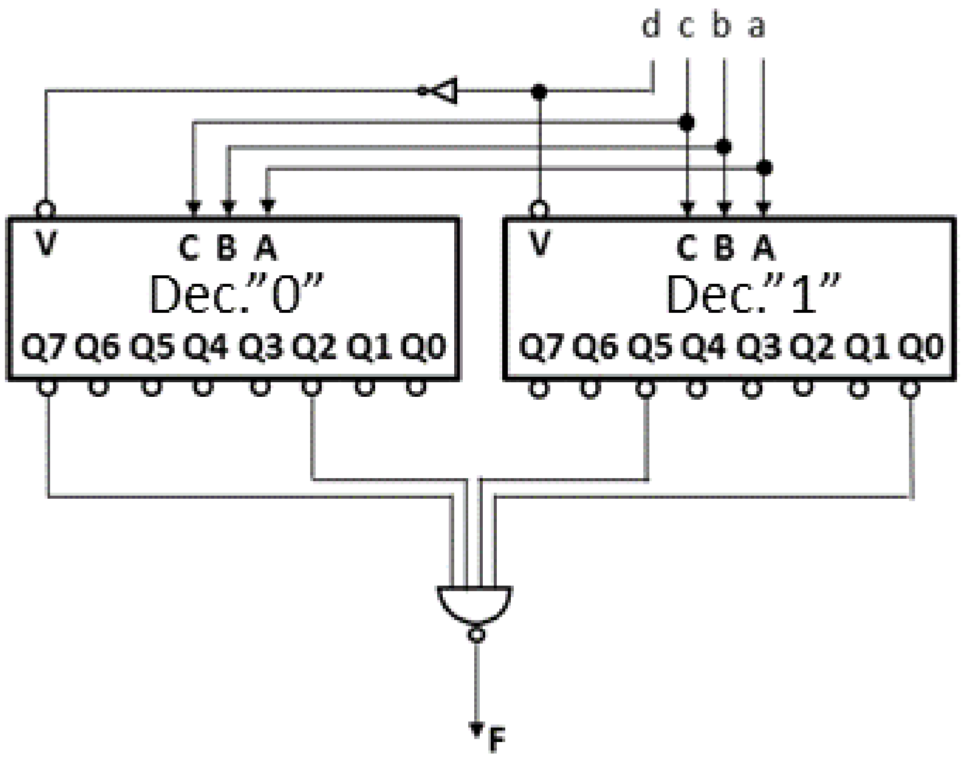
$$Y_1 = \sum_4 (5, 6, 8, 11, 12)$$

$$Y_0 = \sum_4 (4, 6, 8, 10, 12)$$

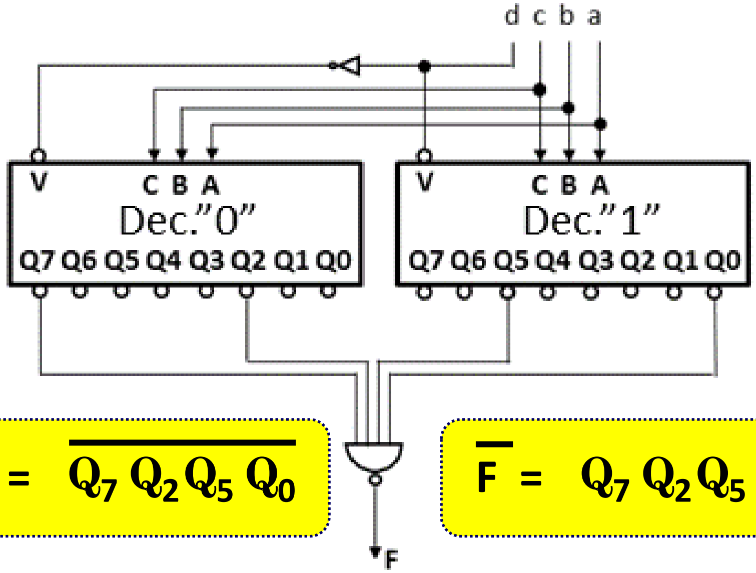
	BCD Exc3 $X_3\ X_2\ X_1\ X_0$		BCD AIKEN 2 – 4 – 2 – 1 $Y_3\ Y_2\ Y_1\ Y_0$
m_0	0 0 0 0		0 0 0 0
m_1	0 0 0 1		0 0 0 0
m_2	0 0 1 0		0 0 0 0
m_3	0 0 1 1	0	0 0 0 0
m_4	0 1 0 0	1	0 0 0 1
m_5	0 1 0 1	2	0 0 1 0
m_6	0 1 1 0	3	0 0 1 1
m_7	0 1 1 1	4	0 1 0 0
m_8	1 0 0 0	5	1 0 1 1
m_9	1 0 0 1	6	1 1 0 0
m_{10}	1 0 1 0	7	1 1 0 1
m_{11}	1 0 1 1	8	1 1 1 0
m_{12}	1 1 0 0	9	1 1 1 1
m_{13}	1 1 0 1		0 0 0 0
m_{14}	1 1 1 0		0 0 0 0
m_{15}	1 1 1 1		0 0 0 0

Problema 15. Decodificadores. Descubrir la función booleana implementada

El circuito de la figura adjunta, recibe a su entrada números codificados en Binario Natural. Está formado por decodificadores octales con entrada de validación (enable) y salidas activas a nivel bajo. Obtenga la expresión canónica numérica de F e indique la función que realiza el circuito.



Solución:



$F = \overline{Q_7\, Q_2\, Q_5\, Q_0}$

$\overline{F} = Q_7\, Q_2\, Q_5\, Q_0$

d	c	b	a	DEC.0 Q_7	DEC.0 Q_2	DEC.1 Q_5	DEC.1 Q_0	$\overline{F}$	F
0	0	0	0	1	1	1	0	0	1
0	0	0	1	1	1	1	1	1	0
0	0	1	0	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0
0	1	0	0	1	1	1	1	1	0
0	1	0	1	1	1	0	1	0	1
0	1	1	0	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	0
1	0	0	1	1	1	1	1	1	0
1	0	1	0	1	0	1	1	0	1
1	0	1	1	1	1	1	1	1	0
1	1	0	0	1	1	1	1	1	0
1	1	0	1	1	1	1	1	1	0
1	1	1	0	1	1	1	1	1	0
1	1	1	1	0	1	1	1	0	1

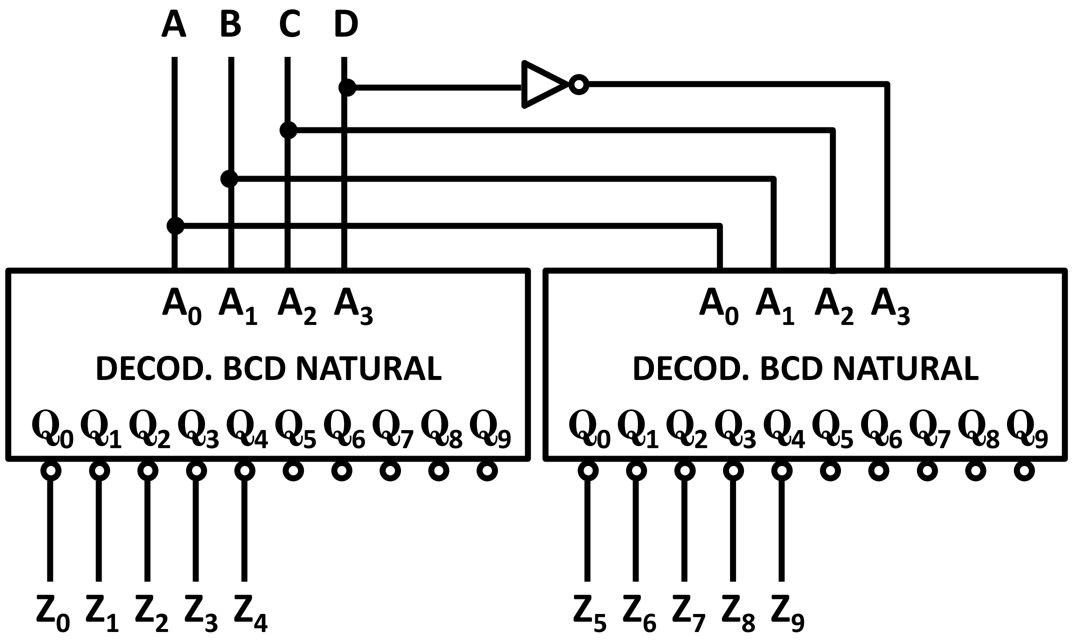
$F(d, c, b, a) = \sum_4 (0, 5, 10, 15)$

$F = \text{"1"} \Leftrightarrow dc = ba$

¡Comparador de igualdad!

Problema 16. Decodificadores. Descubrir el tipo de decodificador

El circuito de la figura es …



a) … un decodificador BCD Aiken.

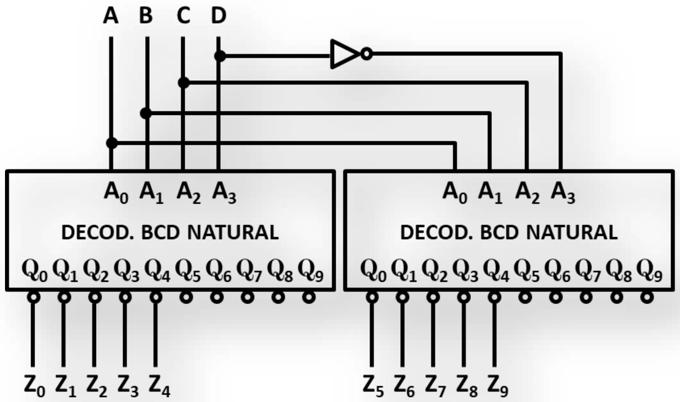
b) … un decodificador BCD 8421.

c) … un decodificador BCD Exceso 3.

d) … un decodificador BCD 5421.

Problema 16. Decodificadores. Descubrir el tipo de decodificador (Cont.)

Solución



Q_0	Q_1	Q_2	Q_3	Q_4	Q_0	Q_1	Q_2	Q_3	Q_4		5 4 2 1	Aiken	8 4 2 1	Exc. 3
Z_0	Z_1	Z_2	Z_3	Z_4	Z_5	Z_6	Z_7	Z_8	Z_9		D C B A	D C B A	D C B A	D C B A
0	1	1	1	1	1	1	1	1	1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1
1	0	1	1	1	1	1	1	1	1	1	0 0 0 1	0 0 0 1	0 0 0 1	0 1 0 0
1	1	0	1	1	1	1	1	1	1	2	0 0 1 0	0 0 1 0	0 0 1 0	0 1 0 1
1	1	1	0	1	1	1	1	1	1	3	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1
1	1	1	1	0	1	1	1	1	1	4	0 1 0 0	0 1 0 0	0 1 0 0	0 1 0 0
1	1	1	1	1	0	1	1	1	1	5	1 0 0 0	1 0 1 1	0 1 0 1	1 0 1 1
1	1	1	1	1	1	0	1	1	1	6	1 0 0 1	1 1 0 0	0 1 1 0	1 1 0 0
1	1	1	1	1	1	1	0	1	1	7	1 0 1 0	1 1 0 1	0 1 1 1	1 1 0 1
1	1	1	1	1	1	1	1	0	1	8	1 0 1 1	1 1 1 0	1 0 0 0	1 1 1 0
1	1	1	1	1	1	1	1	1	0	9	1 1 0 0	1 1 1 1	1 0 0 1	1 1 1 1

~~a) ... un decodificador BCD Aiken.~~

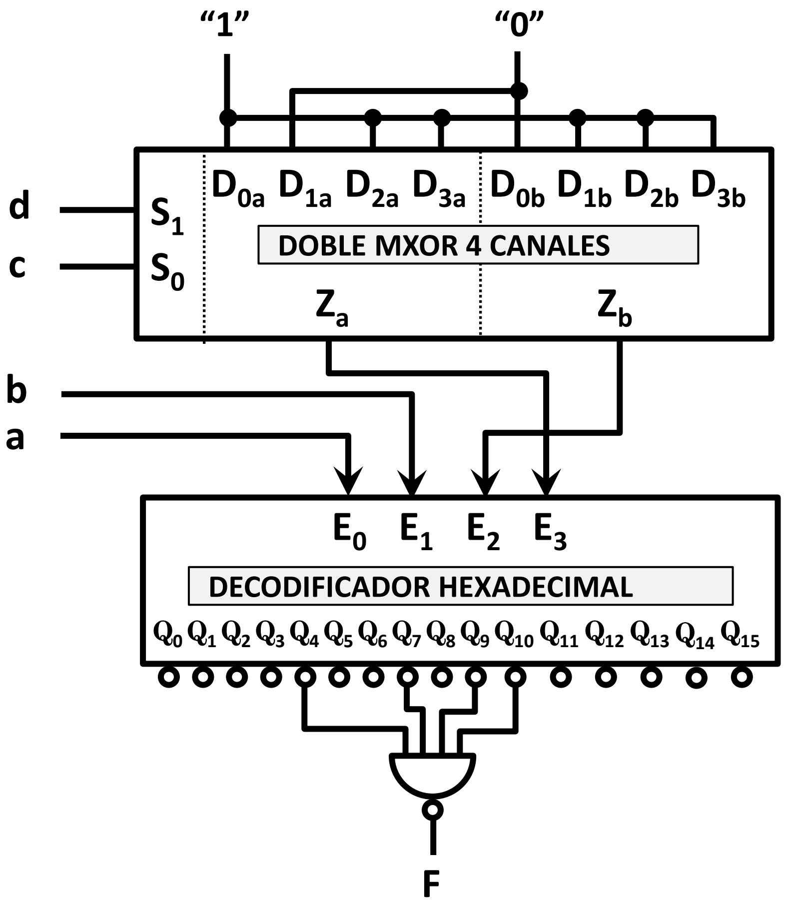
~~b) ... un decodificador BCD 8421.~~

~~c) ... un decodificador BCD Exceso 3.~~

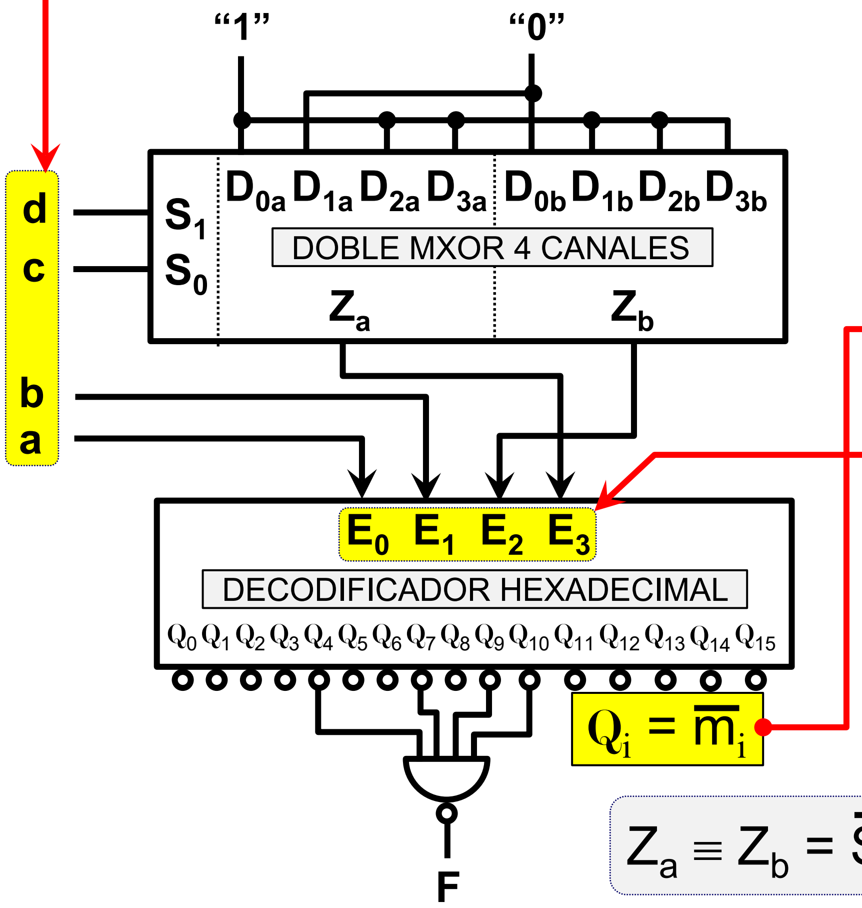
d) ... un decodificador BCD 5421.

Problema 18. Decodificadores y multiplexores. Análisis

Analizar el circuito de la figura obteniendo la expresión canónica numérica del mismo, así como su expresión más simplificada.



Solución.



$$F = \overline{Q_4\,Q_7\,Q_9\,Q_{10}} = \overline{\overline{m_4}\;\overline{m_7}\;\overline{m_9}\;\overline{m_{10}}} =$$

$$= m_4 + m_7 + m_9 + m_{10} = \sum_4 (4, 7, 9, 10)$$

$E_3 = Z_a$ $E_2 = Z_b$ $E_1 = b$ $E_0 = a$

$F = f(E_3, E_2, E_1$ y $E_0) = f(d, c, b, a)$

MXOR de 4 canales

$$Z_a \equiv Z_b = \overline{S}_1\overline{S}_0 D_0 + \overline{S}_1 S_0 D_1 + S_1 \overline{S}_0 D_2 + S_1 S_0 D_3$$

$$Z_a = \underbrace{\overline{d}\,\overline{c} + d\,\overline{c}}_{\overline{c}} + d\,c = \mathbf{d + \overline{c}}$$

(d)

$$Z_b = \overline{d}\,c + \underbrace{d\,\overline{c} + d\,c}_{d} = \mathbf{d + c}$$

(c)

Solución.

$E_3 = Z_a = d + \bar{c}$

$E_2 = Z_b = d + c$

$E_1 = b$

$E_0 = a$

$F = \sum_4 (4, 7, 9, 10)$

$F = \sum_4 (1, 2, 4, 7)$

d c b a	E_3 E_2 E_1 E_0		F	
0 0 0 0	1 0 0 0	m_8	0	m_0
0 0 0 1	1 0 0 1	m_9	1	m_1
0 0 1 0	1 0 1 0	m_{10}	1	m_2
0 0 1 1	1 0 1 1	m_{11}	0	m_3
0 1 0 0	0 1 0 0	m_4	1	m_4
0 1 0 1	0 1 0 1	m_5	0	m_5
0 1 1 0	0 1 1 0	m_6	0	m_6
0 1 1 1	0 1 1 1	m_7	1	m_7
1 0 0 0	1 1 0 0	m_{12}	0	m_8
1 0 0 1	1 1 0 1	m_{13}	0	m_9
1 0 1 0	1 1 1 0	m_{14}	0	m_{10}
1 0 1 1	1 1 1 1	m_{15}	0	m_{11}
1 1 0 0	1 1 0 0	m_{12}	0	m_{12}
1 1 0 1	1 1 0 1	m_{13}	0	m_{13}
1 1 1 0	1 1 1 0	m_{14}	0	m_{14}
1 1 1 1	1 1 1 1	m_{15}	0	m_{15}

$$F = \sum_4 (1, 2, 4, 7)$$

dc \ ba	00	01	11	10
00	$_{0}$	$1_{\,1}$	$_{3}$	$1_{\,2}$
01	$1_{\,4}$	$_{5}$	$1_{\,7}$	$_{6}$
11	$_{12}$	$_{13}$	$_{15}$	$_{14}$
10	$_{8}$	$_{9}$	$_{11}$	$_{10}$

$$F = \bar{d}\,\bar{c}\,\bar{b}\,a + \bar{d}\,\bar{c}\,b\,\bar{a} + \bar{d}\,c\,\bar{b}\,\bar{a} + \bar{d}\,c\,b\,a =$$

$$\bar{d}\,\bar{c}\,(\bar{b}\,a + b\,\bar{a}) \;\Downarrow\; \bar{d}\,\bar{c}\,(\mathbf{b \oplus a})$$

$$\bar{d}\,c\,(\bar{b}\,\bar{a} + b\,a) \;\Downarrow\; \bar{d}\,c\,(\overline{b \oplus a})$$

$$= \bar{d}\,\bar{c}\,(b \oplus a) + \bar{d}\,c\,(\overline{b \oplus a}) =$$

$$= \bar{d}\left[\bar{c}\,(b \oplus a) + c\,(\overline{b \oplus a})\right] =$$

$$= \bar{d}\left[\mathbf{c \oplus (b \oplus a)}\right] = \bar{d}\,(\mathbf{c \oplus b \oplus a})$$

$$\boxed{F = \bar{d}\,(c \oplus b \oplus a)}$$

Problema 19. Multiplexores, sumador y comparador.

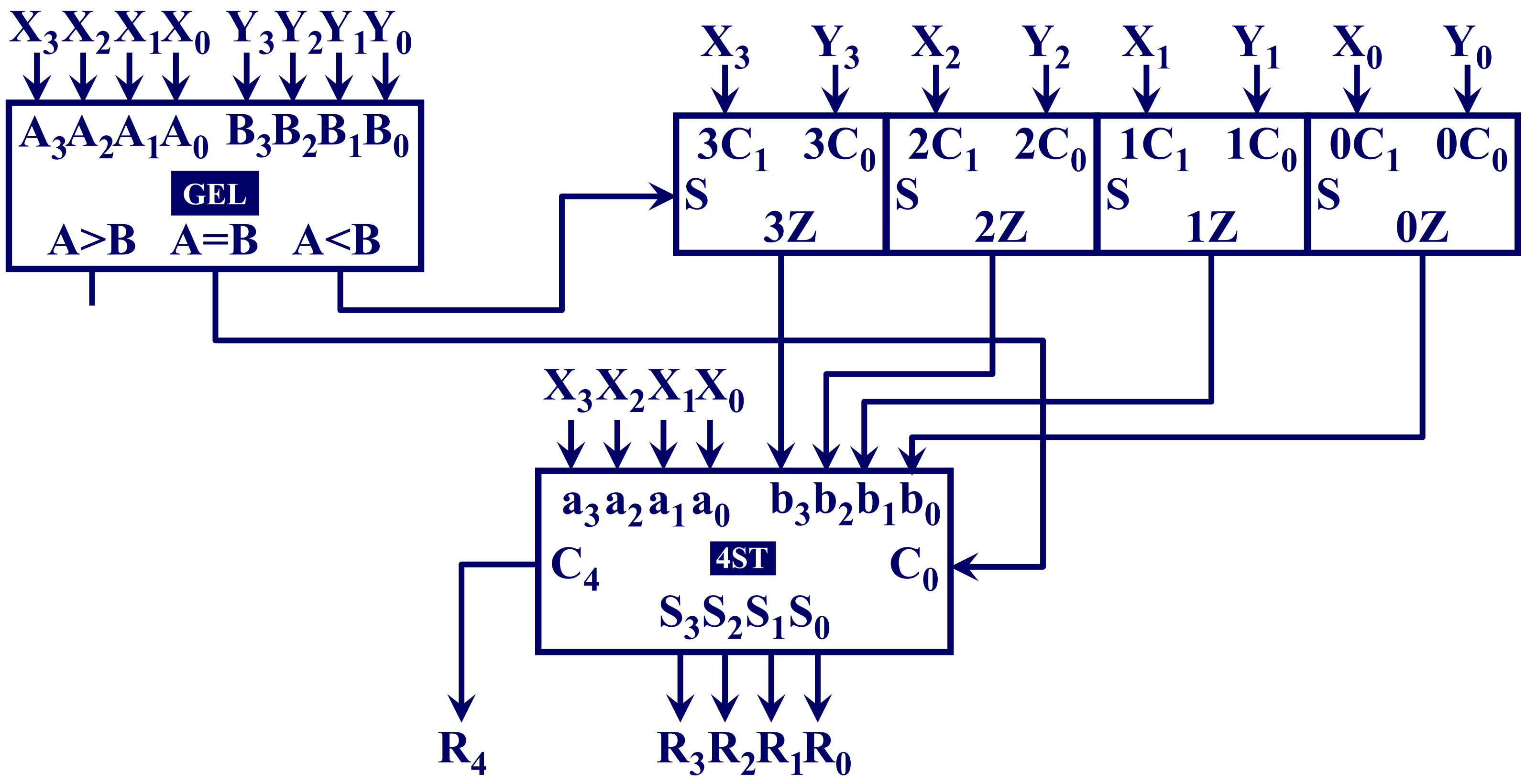
En el sistema de la figura adjunta formado por un cuádruple sumador total, un comparador de números de 4 bits y un cuádruple multiplexor de dos canales con la entrada de selección común a los cuatro, indicar razonadamente cuál de las operaciones siguiente realiza:

a) Sí X ≥ Y ⇨ R = X más Y más 1

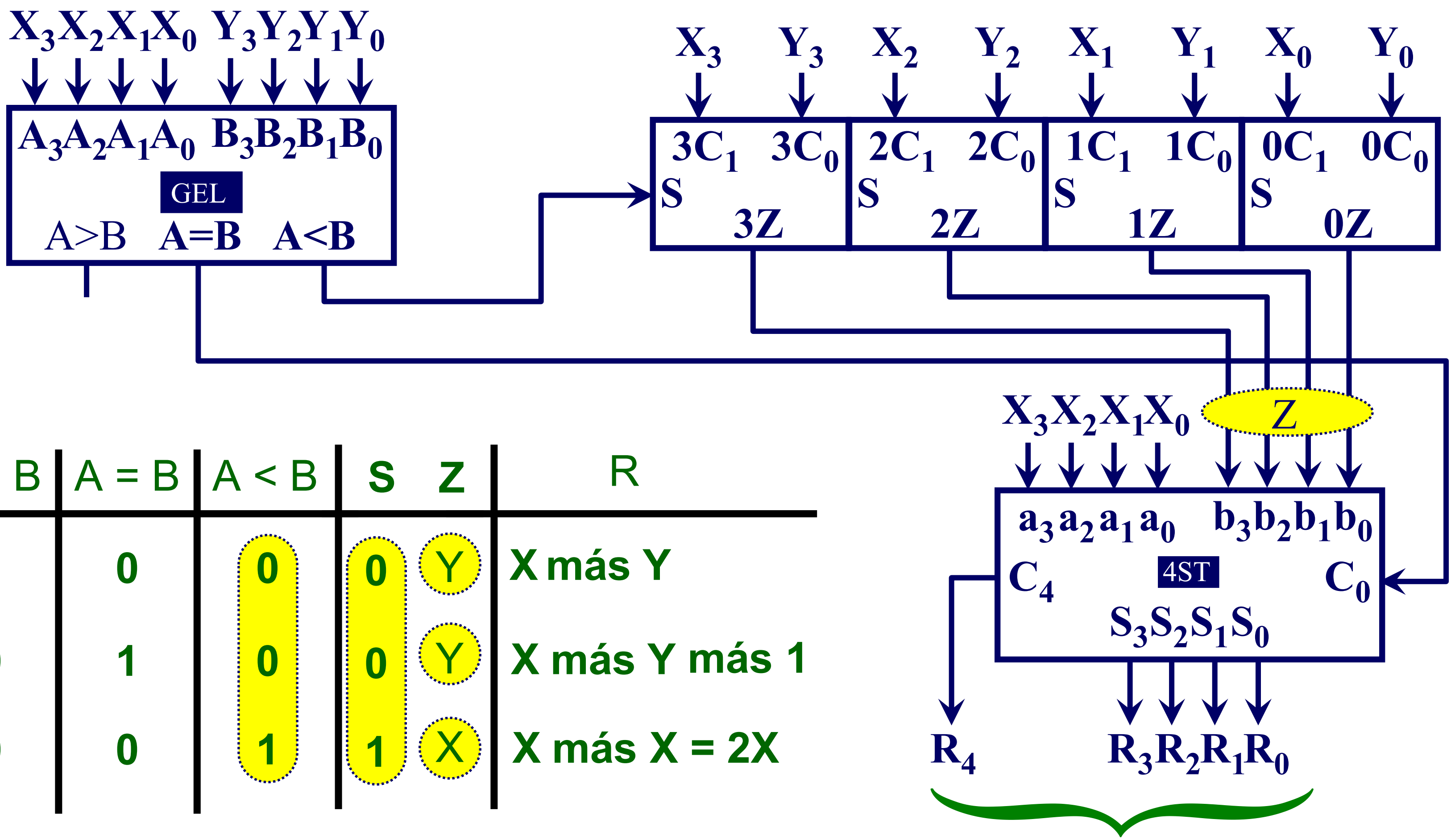
b) Sí X ≤ Y ⇨ R = 2X más 1

c) Sí X = Y ⇨ R = 2X más 1

d) Sí X = Y ⇨ R = X más Y más 1



Solución



	A > B	A = B	A < B	S	Z	R
Si X > Y	1	0	0	0	Y	X más Y
Si X = Y	0	1	0	0	Y	X más Y más 1
Si X < Y	0	0	1	1	X	X más X = 2X

R = X más Z más (A=B)

~~a) Sí X ≥ Y ⇨ R = X más Y más 1~~ ~~b) Sí X ≤ Y ⇨ R = 2X más 1~~

~~c) Sí X = Y ⇨ R = 2X más 1~~ d) Sí X = Y ⇨ R = X más Y más 1

Solución correcta: d)

Problema 20. Decodificadores. Multiplexores.

¿A qué circuito de los estudiados corresponde la siguiente tabla de verdad?. Indique su nombre y represente su bloque funcional.

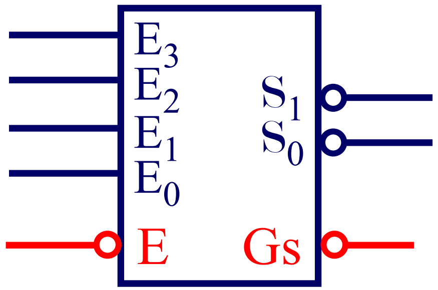
E_3	E_2	E_1	E_0	S_1	S_0
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	x	1	0
0	1	x	x	0	1
1	x	x	x	0	0

- **Obtenga las expresiones algebraicas simplificadas de S_1 y S_0.**
- **Diseñe las funciones de salida de dicho circito, S_1 y S_0, utilizando exclusivamente mxores de 2 canales sin entrada de validación –Enable-.**

Solución.

- ✓ Se trata de … un codificador Binario Natural 4 a 2 con entradas (decimales) activas a nivel alto, salidas (de código) activas a nivel bajo, sin entrada de validación –Enable- y sin salida Gs (Group Strobe).

E_3	E_2	E_1	E_0	S_1	S_0
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	x	1	0
0	1	x	x	0	1
1	x	x	x	0	0



Problema 20. Codificadores. Multiplexores (Cont.).

✓ **Expresión algebraica simplificada de la salida S_1:**

	E_3	E_2	E_1	E_0	S_1	S_0
m_0	0	0	0	0	1	1
m_1	0	0	0	1	1	1
$m_2 - m_3$	0	0	1	x	1	0
$m_4 - m_7$	0	1	x	x	0	1
$m_8 - m_{15}$	1	x	x	x	0	0

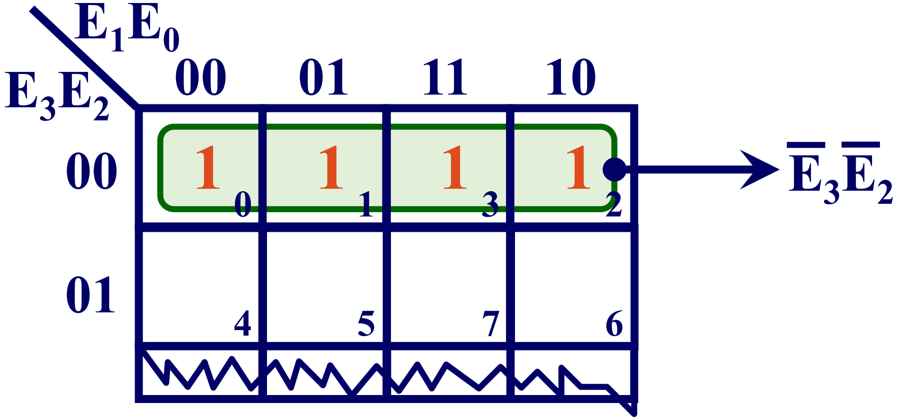
$$S_1 = \overline{E_3}\,\overline{E_2}\,E_1 + \overline{E_3}\,\overline{E_2}\,\overline{E_1}\,E_0 + \overline{E_3}\,\overline{E_2}\,\overline{E_1}\,\overline{E_0} =$$

$$\overline{E_3}\,\overline{E_2}\,\overline{E_1}$$

$$= \overline{E_3}\,\overline{E_2}\,E_1 + \overline{E_3}\,\overline{E_2}\,\overline{E_1} = \overline{E_3}\,\overline{E_2} = \overline{E_3 + E_2}$$

$$\overline{E_3}\,\overline{E_2}$$

Por Karnaugh → $S_1(d, c, b, a) = \sum_4 (0, 1, 2, 3) = \overline{E_3}\,\overline{E_2} = \overline{E_3 + E_2}$



✓ **Expresión algebraica simplificada de la salida S_0:**

E_3	E_2	E_1	E_0	S_1	S_0
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	x	1	0
0	1	x	x	0	1
1	x	x	x	0	0

$$S_0 = \overline{E_3}\,E_2 + \overline{E_3}\,\overline{E_2}\,\overline{E_1} =$$

$$= \overline{E_3}\left[E_2 + \overline{E_2}\,\overline{E_1}\right] = \overline{E_3}\left[E_2 + \overline{E_1}\right]$$

Absorción parcial

✓ **Expresión de S_0 por Karnaught:**

	E_3	E_2	E_1	E_0	S_1	S_0
m_0	0	0	0	0	1	1
m_1	0	0	0	1	1	1
$m_2 - m_3$	0	0	1	x	1	0
$m_4 - m_7$	0	1	x	x	0	1
$m_8 - m_{15}$	1	x	x	x	0	0

$$S_0(E_3, E_2, E_1, E_0) = \sum_4 (0, 1, 4, 5, 6, 7)$$

E_3E_2 \ E_1E_0	00	01	11	10
00	1 0	1 1	 3	 2
01	1 4	1 5	1 7	1 6
11	 12	 13	 15	 14
10	 8	 9	 11	 10

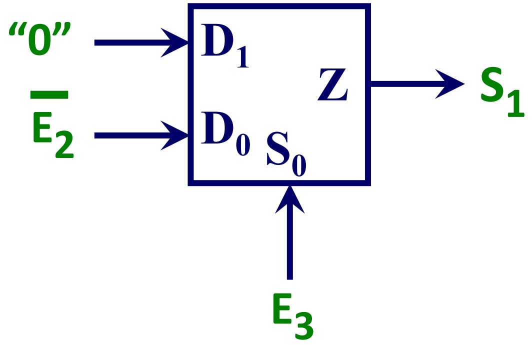
$$S_0 = \overline{E_3}\,E_2 + \overline{E_3}\;\overline{E_1} = \overline{E_3}\left(E_2 + \overline{E_1}\right)$$

✓ **Implementación de S_1 con Mxores de 2 canales (sin Enable)**

$$S_1 = \overline{E_3}\,\overline{E_2} = \overline{E_3 + E_2}$$

Si E_3 = "0" ➡ $S_1 = D_0 = \overline{E_2}$

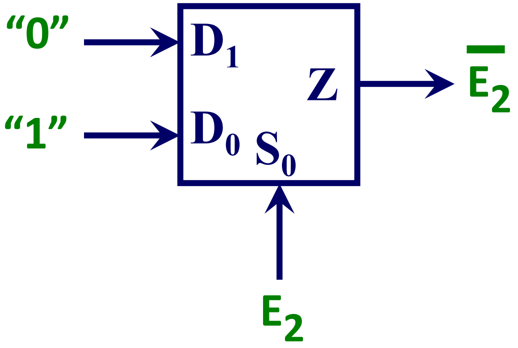
Si E_3 = "1" ➡ $S_1 = D_1 =$ "0"



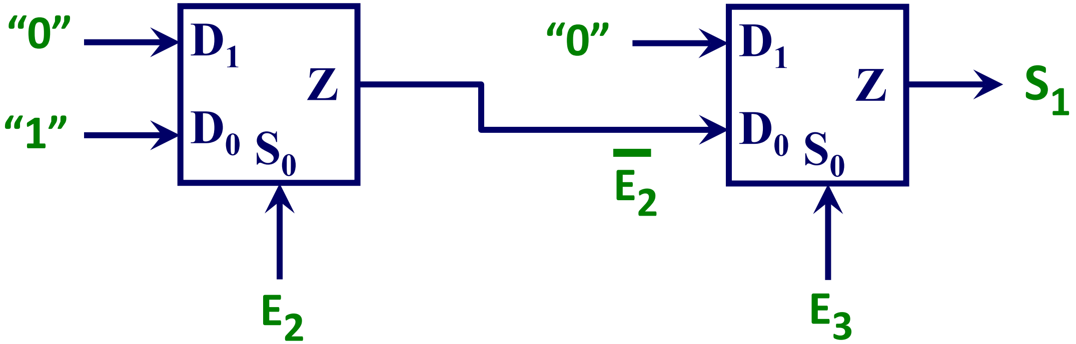
$\overline{E_2}$

Si E_2 = "0" ➡ $Z = D_0 =$ "1"

Si E_2 = "1" ➡ $Z = D_1 =$ "0"



Resultando el siguiente cto:

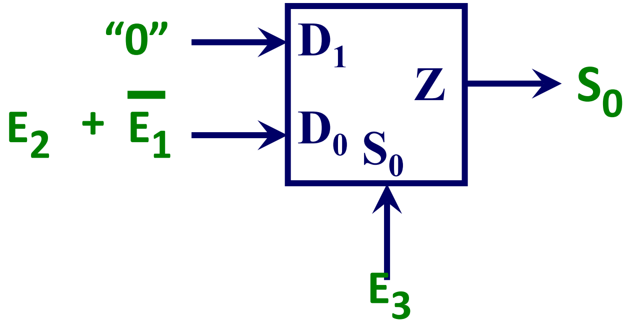


Problema 20. Codificadores. Multiplexores (Cont.).

✓ **Diseño de S_0 con Mxores de 2 canales (sin Enable)**

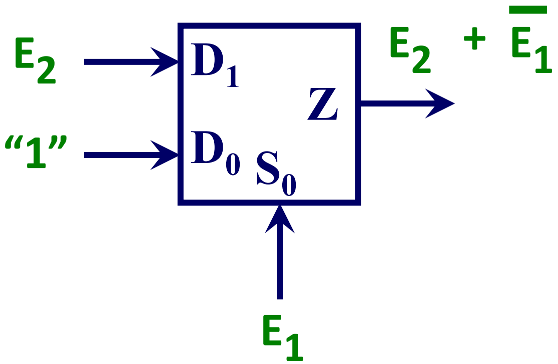
$\boxed{S_0 = \overline{E_3}\,(E_2 + \overline{E_1})}$

$$\begin{cases} \text{Si } E_3 = \text{“0”} \Rightarrow S_0 = D_0 = E_2 + \overline{E_1} \\ \text{Si } E_3 = \text{“1”} \Rightarrow S_0 = D_1 = \text{“0”} \end{cases}$$

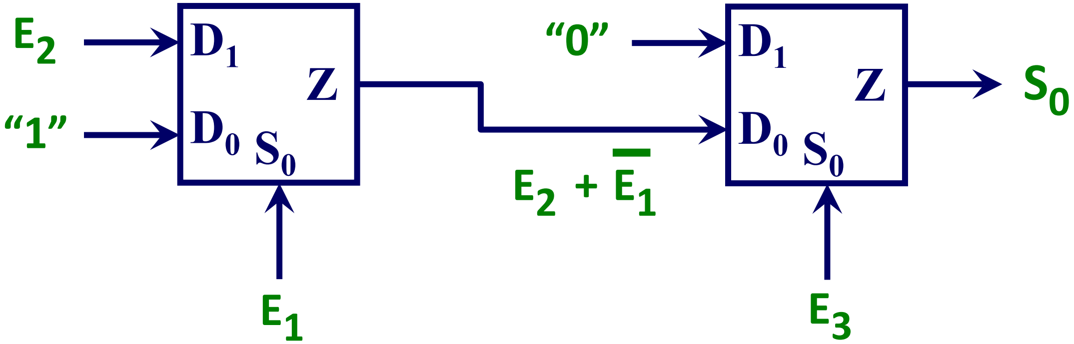


$\boxed{E_2 + \overline{E_1}}$

$$\begin{cases} \text{Si } E_1 = \text{“0”} \Rightarrow Z = D_0 = \text{“1”} \\ \text{Si } E_1 = \text{“1”} \Rightarrow Z = D_1 = E_2 \end{cases}$$



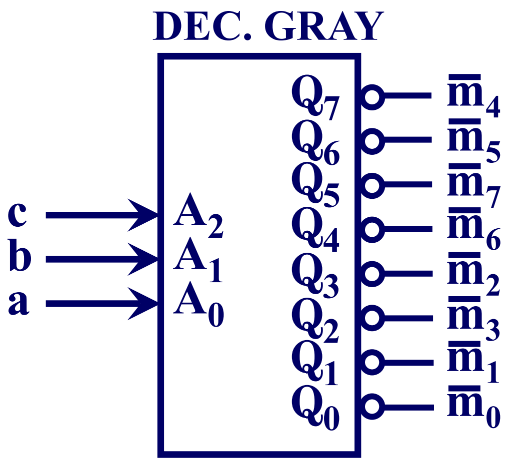
Resultando el siguiente cto:



Diseñe un Multiplexor de 2 canales mediante un decodificador Gray de 3 bits con salidas activas a nivel bajo y puertas NAND.

<u>Solución</u>.

Para resolver el problema hay que ver el DECODIFICADOR como un elemento que proporciona 2^n minitérminos; en nuestro caso serían 8 tal como se indica en la figura (ver problema 11):



<u>Gray</u>

	Gray		
0	0	0	0
1	0	0	1
2	0	1	1
3	0	1	0
4	1	1	0
5	1	1	1
6	1	0	1
7	1	0	0

Problema 21. Decodificadores y multiplexores (Cont.)

Solución.

A continuación, se calcula la ecuación de salida de un multiplexor de 2 canales como suma de minitérminos o términos canónicos (FCN), para posteriormente ver en qué salidas del decodificador Gray se obtienen cada uno de dichos términos

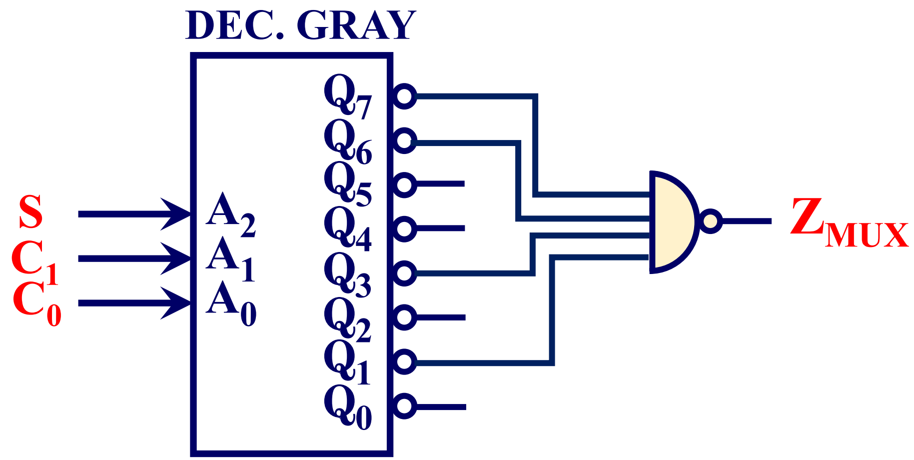
S	C_1	C_0	Z_{MUX}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$$Z_{MUX} = \sum_3 (1, 3, 6, 7)$$

$$= m_1 + m_3 + m_6 + m_7$$

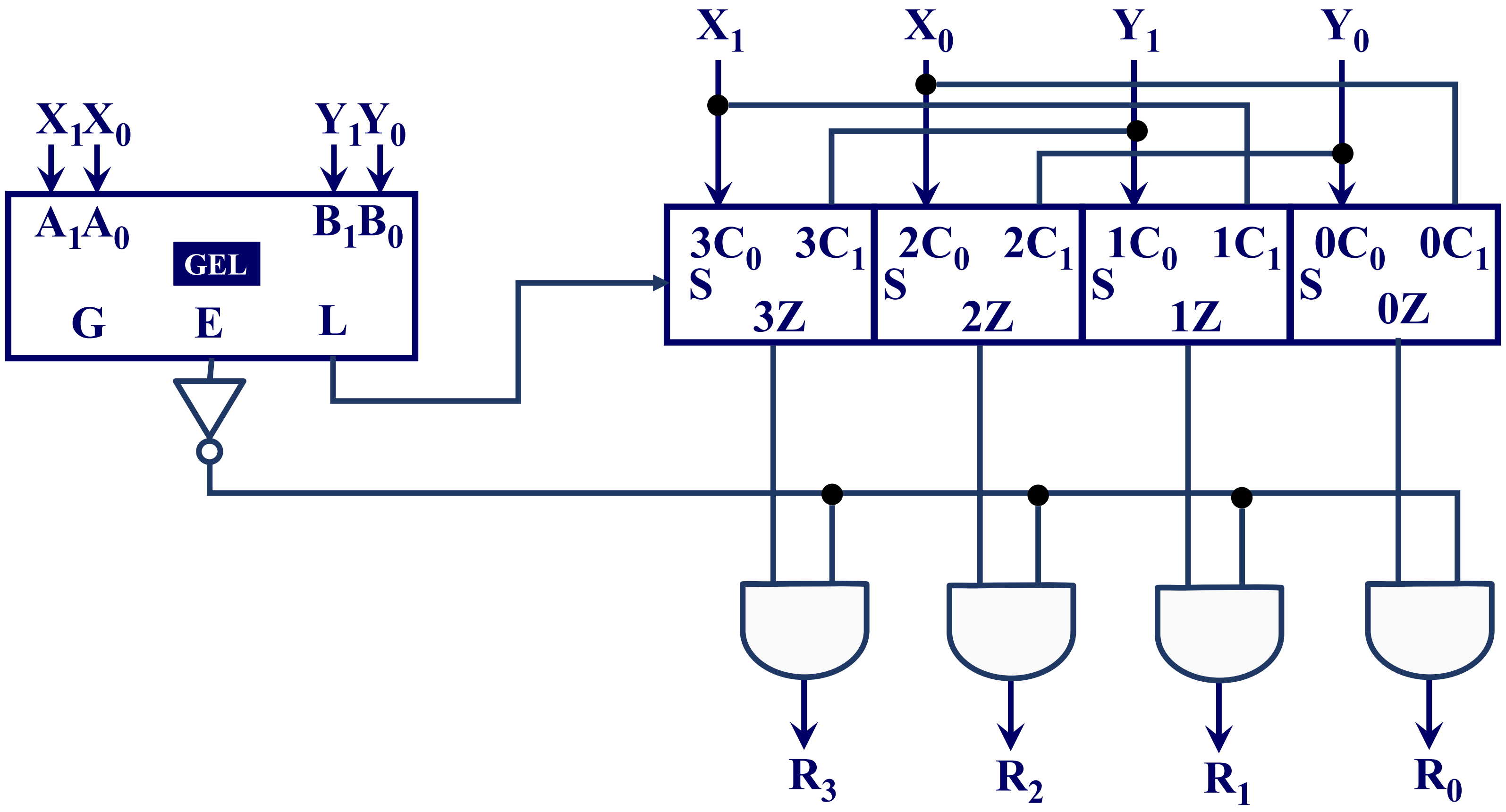
$$= \overline{\overline{m_1} \cdot \overline{m_3} \cdot \overline{m_6} \cdot \overline{m_7}} =$$

$$= \overline{Q_1 \cdot Q_3 \cdot Q_6 \cdot Q_7}$$

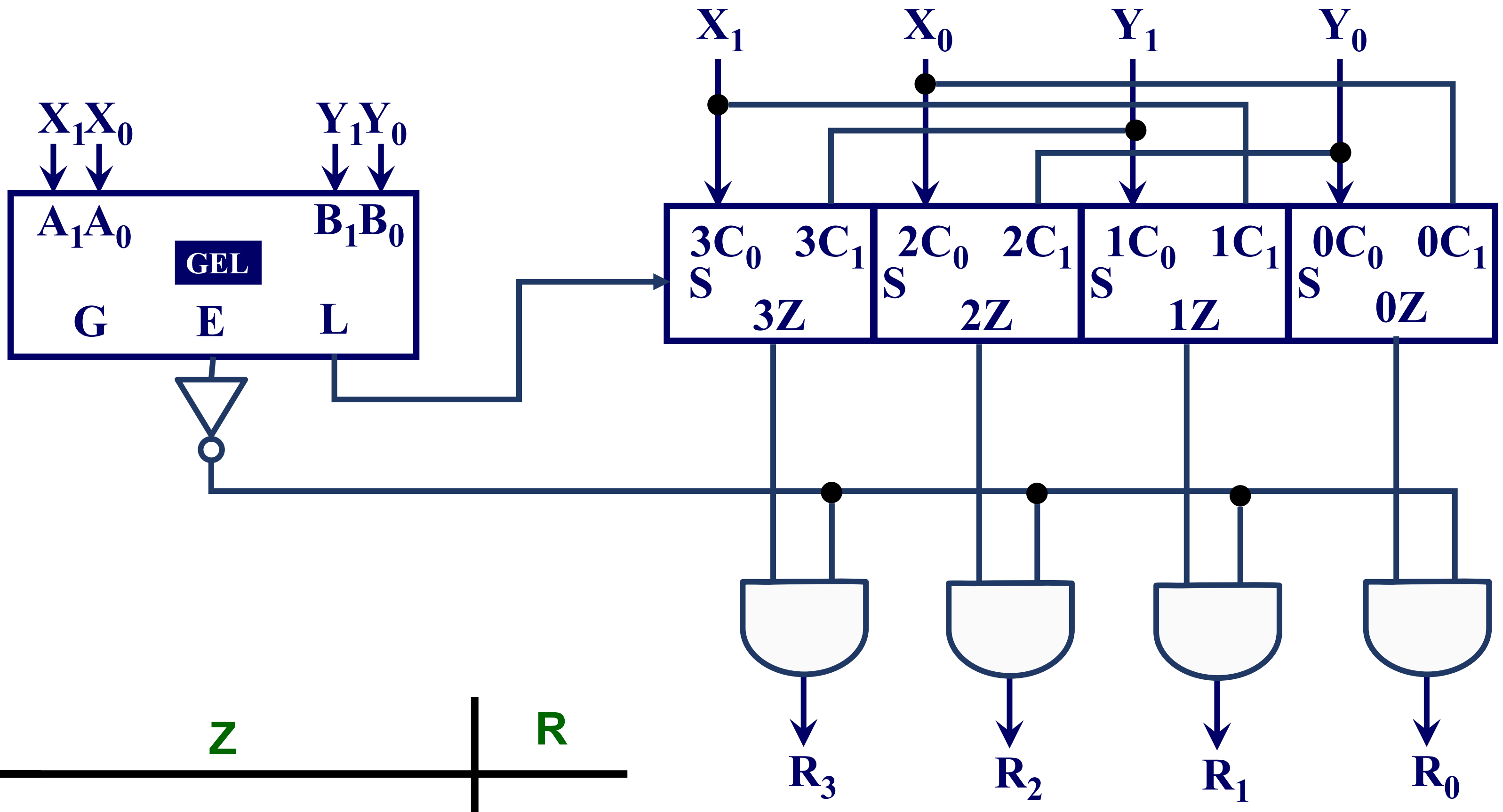


Problema 20. Multiplexores y comparador.

Analice el circuito de la siguiente figura e indique la salida correcta R según las entradas X e Y



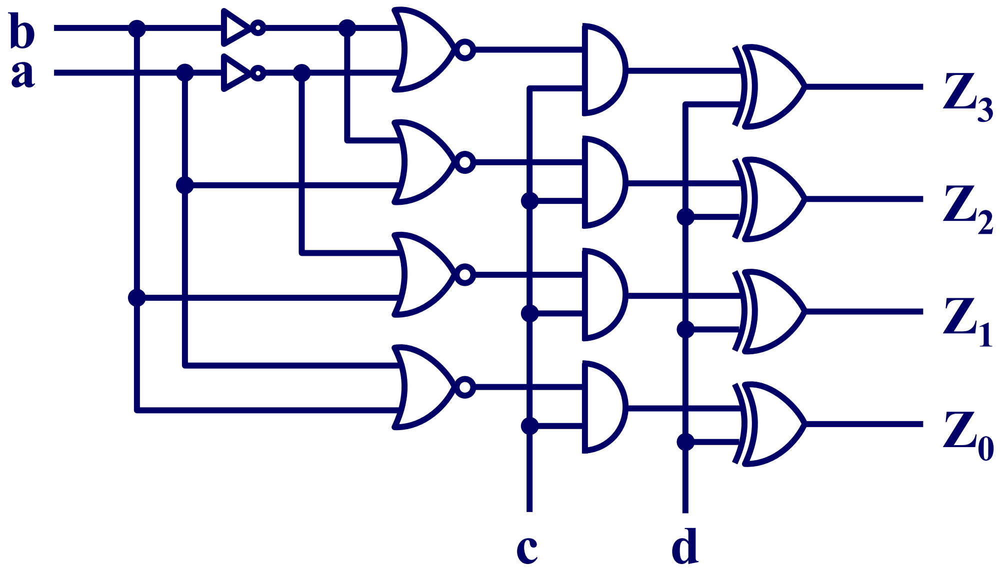
Solución



	G A > B	E A = B	L A < B	S	Z	R
Si X > Y	1	0	0	0	(X1, X0,Y1, Y0)	4X+Y
Si X = Y	0	1	0	0	(X1, X0, Y1, Y0)	4X+Y
Si X < Y	0	0	1	1	(Y1, Y0, X1, X0)	4Y+X

Problema 21. Decodificadores

Para el circuito de la figura y considerando que "d" es la variable más significativa:



a) **Obtenga su tabla de verdad.**

b) **A la vista de la tabla de verdad y considerando que "d" y "c" son dos entradas de control, indique de qué circuito se trata y la utilidad de todas sus entradas y salidas.**

c) **Utilizando "exclusivamente" bloques funcionales como el analizado implemente un decodificador octal con salidas activas a nivel bajo.**

d) **Utilizando el decodificador del apartado anterior y puertas lógicas implemente un Sumador Total.**

Solución

a) Obtenga su tabla de verdad.

$$Z_3 = d \oplus [\, c\, (\overline{\bar{b} + \bar{a}}\,)\,] = d \oplus (\, c\, b\, a\,)$$

$$Z_2 = d \oplus [\, c\, (\overline{\bar{b} + a}\,)\,] = d \oplus (\, c\, b\, \bar{a}\,)$$

$$Z_1 = d \oplus [\, c\, (\overline{b + \bar{a}}\,)\,] = d \oplus (\, c\, \bar{b}\, a\,)$$

$$Z_0 = d \oplus [\, c\, (\overline{b + a}\,)\,] = d \oplus (\, c\, \bar{b}\, \bar{a}\,)$$

$x \oplus$ "0" $= x$ y $x \oplus$ "1" $= \bar{x}$

- Sí d = "0"

$Z_3 = c\, b\, a$

$Z_2 = c\, b\, \bar{a}$

$Z_1 = c\, \bar{b}\, a$

$Z_0 = c\, \bar{b}\, \bar{a}$

- Sí d = "1"

$Z_3 = \overline{c\, b\, a}$

$Z_2 = \overline{c\, b\, \bar{a}}$

$Z_1 = \overline{c\, \bar{b}\, a}$

$Z_0 = \overline{c\, \bar{b}\, \bar{a}}$

⇨

d	c	b	a	Z_3	Z_2	Z_1	Z_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	1	0	0
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	1	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	1
1	1	0	0	1	1	1	0
1	1	0	1	1	1	0	1
1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1

Problema 21. Decodificadores (Cont.).

b) **A la vista de la tabla de verdad y considerando que "d" y "c" son dos entradas de control, indique de qué circuito se trata y la utilidad de todas sus entradas y salidas.**

<u>Solución</u>: Poniendo la tabla de verdad de forma más abreviada y clara:

d	c	b	a	Z_3	Z_2	Z_1	Z_0
0	0	x	x	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	1	0	0
0	1	1	1	1	0	0	0
1	0	x	x	1	1	1	1
1	1	0	0	1	1	1	0
1	1	0	1	1	1	0	1
1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1

Decodificador 2 a 4 con salidas activas a nivel alto y entrada de validación activa a nivel alto

Decodificador 2 a 4 con salidas activas a nivel alto

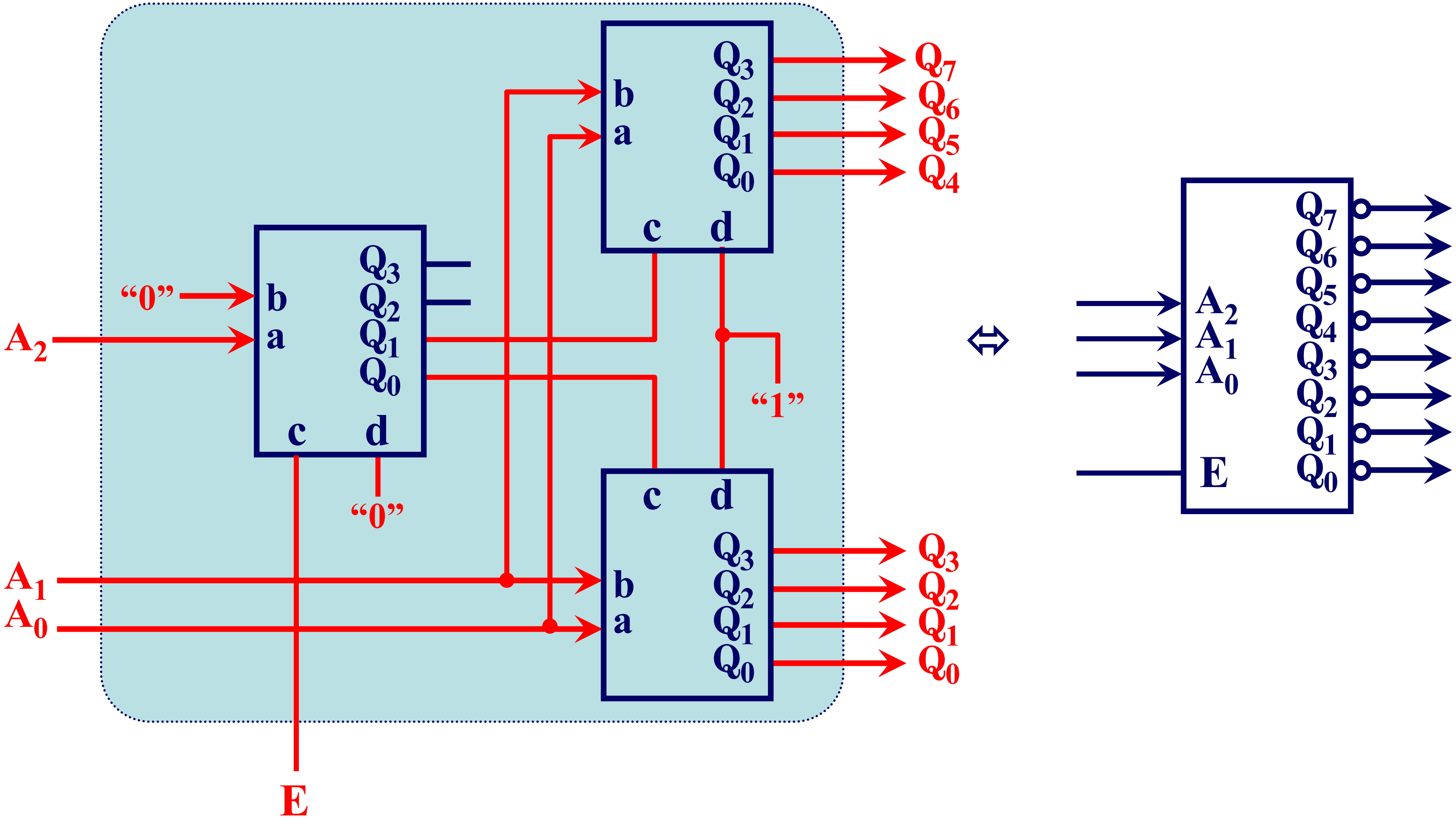
Decodificador 2 a 4 con salidas activas a nivel bajo y entrada de validación activa a nivel alto

Decodificador 2 a 4 con salidas activas a nivel bajo

En resumen, se trata de un decodificador 2 a 4, donde la entrada "c" es una entrada de validación activa a nivel alto y la variable "d" permite seleccionar el nivel al que son activas las salidas decimales.

Solución

c) Utilizando "exclusivamente" bloques funcionales como el analizado implemente un decodificador octal con salidas activas a nivel bajo.



Problema 21. Decodificadores (Cont.).

Solución

d) Utilizando el decodificador del apartado anterior y puertas lógicas implemente un Sumador Total.

De la tabla de verdad del Sumador Total obtenemos:

$$C_{i+1}\,(C_i, b_i, a_i) = \sum_3 (3, 5, 6, 7) = m_3 + m_5 + m_6 + m_7 = \overline{\overline{m_3 + m_5 + m_6 + m_7}} =$$

$$= \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}} = \overline{Q_3 \cdot Q_5 \cdot Q_6 \cdot Q_7}$$

$$S_i\,(C_i, b_i, a_i) = \sum_3 (1, 2, 4, 7) = m_1 + m_2 + m_4 + m_7 = \overline{\overline{m_1 + m_2 + m_4 + m_7}} =$$

$$= \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}} = \overline{Q_1 \cdot Q_2 \cdot Q_4 \cdot Q_7}$$